

10MHz 到 80MHz、10:1 LVDS 并串转换器（串化器）/ 串并转换器（解串器）

产品简述

MS1023 串化器和 MS1224 解串器是一对 10bit 并串/串并转换芯片，用于在 LVDS 差分底板上传输和接收 10MHz 至 80MHz 的并行字速率的串行数据。起始/停止位加载后，转换为负载编码输出，串行数据速率介于 120Mbps 至 960Mbps。

上电时，这一对芯片可通过内部产生的 SYNC 样本信号同步模式进行初始化或者解串器与随机数据同步。通过使用同步模式，解串器可在特定的、更短的时间参数内建立锁定。

当没有数据传输要求时，芯片可以进入掉电模式。另外，可以通过设置输出脚为高阻态以避免 PLL 失锁。

MS1023 和 MS1224 的工作温度范围为-40℃ 至 85℃。



SSOP28

主要特点

- 100Mbps 至 800Mbps 串行 LVDS 数据有效负载带宽在 10MHz 至 80MHz 的系统时钟之间
- 在 80MHz 输入时，芯片功耗小于 550mW（典型值）
- 使用同步模式，可快速锁定时钟
- 锁定指示器
- 不需要外部单元提供 PLL
- SSOP28 封装
- 可编程时钟边沿触发
- 流向行引脚排序，易于 PCB 版图布局

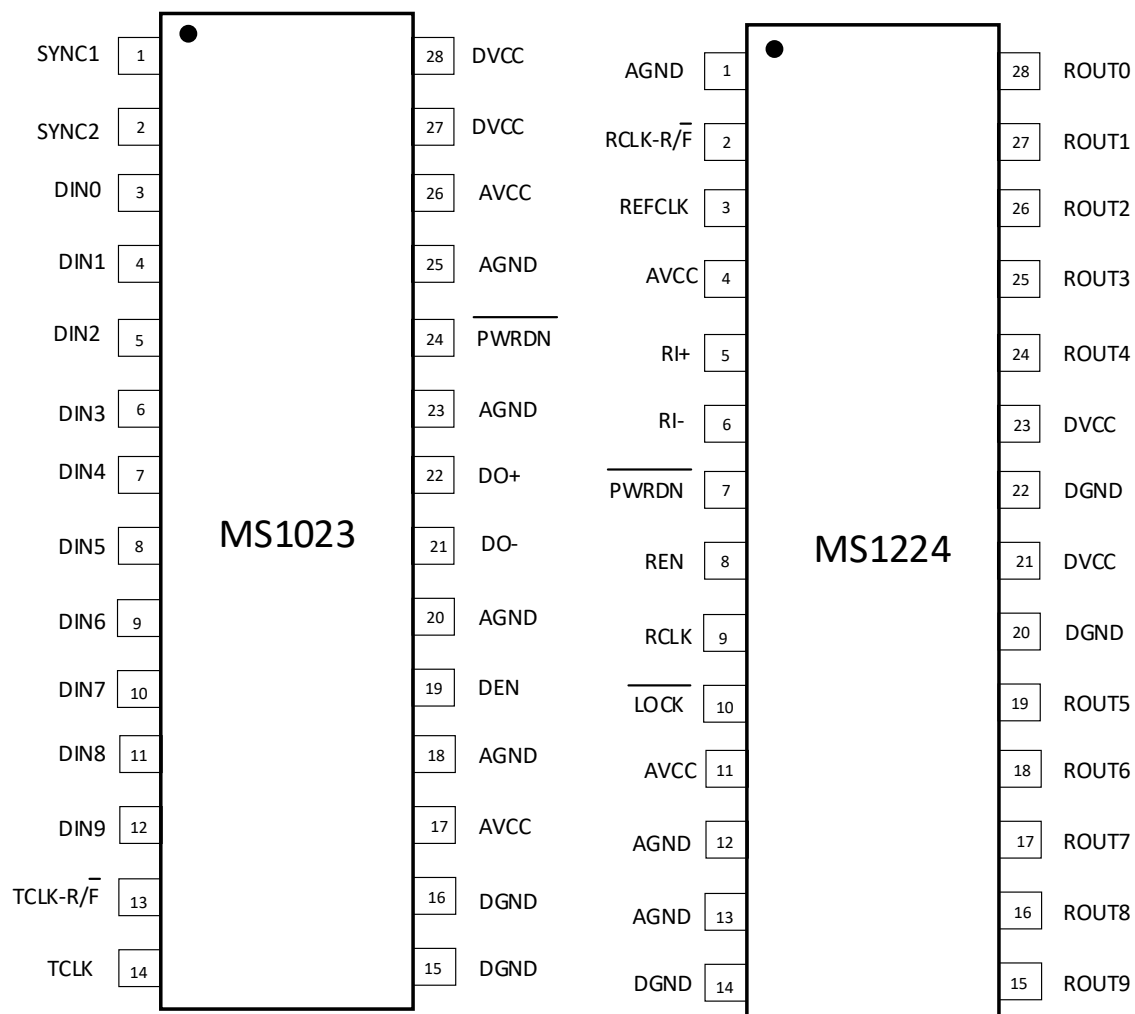
应用

- 无线基站
- 底板互连
- 数字用户线接入复用器

产品规格分类

产品	封装形式	丝印名称
MS1023	SSOP28	MS1023
MS1224	SSOP28	MS1224

管脚图

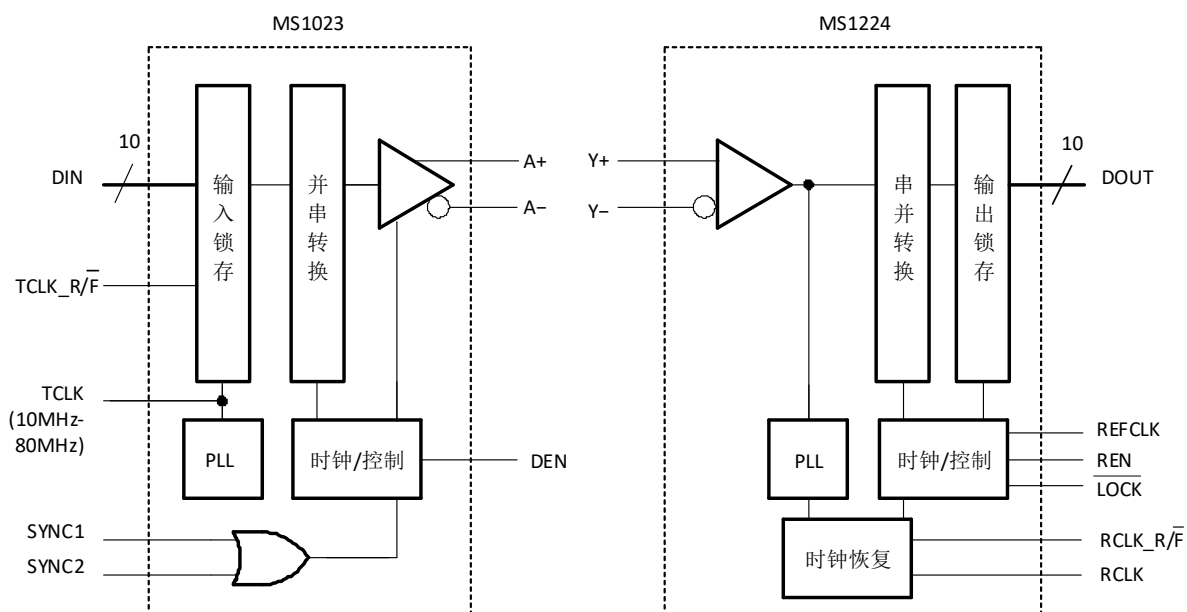


管脚说明

管脚编号	管脚名称	管脚属性	管脚描述
MS1023			
1,2	SYNC1, SYNC2	I	SYNC1 和 SYNC2 是或关系的 LVTTTL 逻辑输入。当至少一个脚被置高长达 6 个 TCLK 周期，串化器将至少 1026 个 SYNC 样本的传输过程进行初始化。如果 1026 个 SYNC 样本发送完成后，SYNC 继续为高，那么数据传输会一直继续直到 SYNC 为低。当 SYNC 保持超过 6 个周期时，将会再次发送 1026 个 SYNC 样本。
3-12	DINO-DIN9	I	并行 LVTTTL 数字输入
13	TCLK_R/ \bar{F}	I	LVTTTL 逻辑输入。低时，选择忽略 TCLK 的下降沿数据；高时，选择忽略 TCLK 上升沿数据。
14	TCLK	I	LVTTTL 电平参考时钟输入。MS1023 可接收 10MHz 至 80MHz 时钟。TCLK 忽略并行数据到输入锁存，同时为 PLL 提供参考频率。
15,16	DGND	-	数字电路地
17,26	AVCC	-	模拟电路电源（用于 PLL 和模拟电路）
18,20,23,25	AGND	-	模拟电路地（用于 PLL 和模拟电路）
19	DEN	I	LVTTTL 逻辑输入。低时，LVDS 串行输出处于高阻状态；高时，使能串行数据输出
21	DO-	O	LVDS 差分输出反向端
22	DO+	O	LVDS 差分输出正向端
24	$\overline{\text{PWRDN}}$	I	LVTTTL 逻辑输入。低时，会关掉 PLL 并输出高阻态，芯片进入低功耗模式。
27,28	DVCC	-	数字电路电源

管脚编号	管脚名称	管脚属性	管脚描述
MS1224			
1,12,13	AGND	-	模拟电路地（用于 PLL 和模拟电路）
2	RCLK_R/ \bar{F}	I	LVTTL 逻辑输入。低时，选择忽略 RCLK 下降沿数据；高时，选择忽略 RCLK 上升沿数据
3	REFCLK	I	LVTTL 输入，为 PLL 提供 REFCLK 信号
4,11	AVCC	-	模拟电路电源（用于 PLL 和模拟电路）
5	RI+	I	串行数据输入，正向 LVDS 差分输入
6	RI-	I	串行数据输入，反向 LVDS 差分输入
7	$\overline{\text{PWRDN}}$	I	LVTTL 逻辑输入。低时，关掉 PLL 并输出高阻态，芯片进入低功耗模式。为了进入掉电模式，此脚置低至少 16ns。只要 $\overline{\text{PWRDN}}$ 为低，芯片就将进入掉电模式。
8	REN	I	LVTTL 逻辑输入。 低时，ROUT0-ROUT9 和 RCLK 进入高阻态
9	RCLK		LVTTL 输出恢复时钟，RCLK 可忽略 ROUTX
10	$\overline{\text{LOCK}}$	O	LVTTL 输出。当解串器的 PLL 锁定到内嵌时钟边沿， $\overline{\text{LOCK}}$ 变低
14,20,22	DGND	-	数字电路地
28-24,19-15	ROUT0-ROUT9	O	并行 LVTTL 数据输出
21,23	DVCC	-	数字电路电源

内部框图



极限参数

芯片使用中，任何超过极限参数的应用方式会对器件造成永久的损坏，芯片长时间处于极限工作状态可能会影响器件的可靠性。极限参数只是由一系列极端测试得出，并不代表芯片可以正常工作在此极限条件下。

参数	符号	额定值	单位
V _{CC}		-3.0 ~ 4.0	V
LVTTTL 输入电压		-0.3 ~ V _{CC} +0.3	V
LVTTTL 输出电压		-0.3 ~ V _{CC} +0.3	V
LVDS 接收输入电压		-0.3 ~ 3.9	V
LVDS 驱动输出电压		-0.3 ~ 3.9	V
LVDS 输出短路持续时间		10	ms
ESD(HBM)		6k	V
ESD(MM)		200	V
结温		150	°C
存储温度	T _{stg}	-65 ~ 150	°C
最大功耗(T _A =25°C)		1.27	W
功耗温度特性(T _A =25°C)		10.3	mW/°C

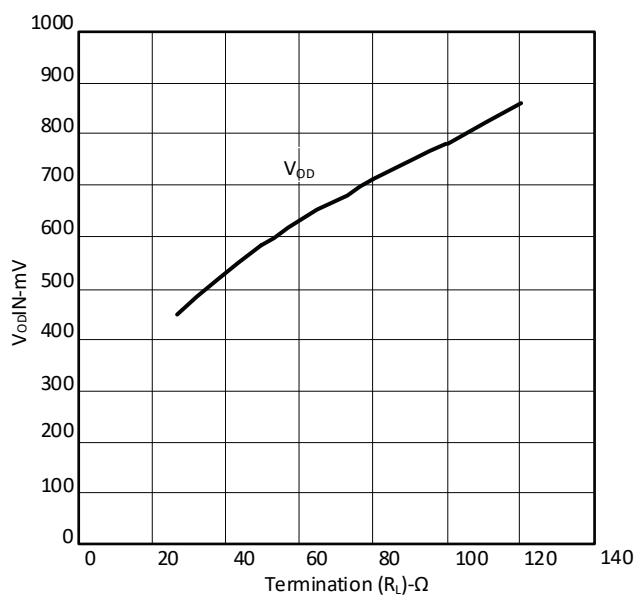
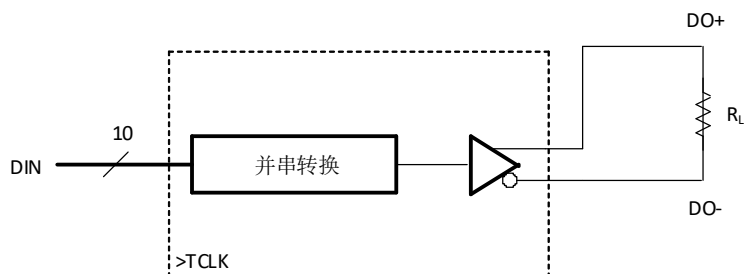
推荐工作条件

参数	符号	参数范围			单位
		最小	标准	最大	
电源电压	V _{CC}	3	3.3	3.6	V
接收输入电压范围		0		2.4	V
接收输入共模范围	V _{CM}	V _{ID} /2		2.4-(V _{ID} /2)	
电源噪声电压				100	mV _{PP}
工作温度	T _A	-40	25	85	°C

电气参数

参数	符号	测试条件	最小值	典型值	最大值	单位
MS1023 LVC MOS/LVTTL DC						
高电平输入电压	V_{IH}		2		V_{CC}	V
低电平输入电压	V_{IL}		GND		0.8	V
输入钳位电压	V_{CL}	$I_{CL}=-18mA$		-0.86	-1.5	V
输入电流	I_{IN}	$V_{IN}=0V$ 或 $3.6V$	-200	± 100	200	μA
MS1224 LVC MOS/LVTTL DC						
高电平输入电压	V_{IH}		2		V_{CC}	V
低电平输入电压	V_{IL}		GND		0.8	V
输入钳位电压	V_{CL}	$I_{CL}=-18mA$		-0.62	-1.5	V
输入电流	I_{IN}	$V_{IN}=0V$ 或 $3.6V$	-200		200	μA
高电平输出电压	V_{OH}	$I_{OH}=-5mA$	2.2	3	V_{CC}	V
低电平输出电压	V_{OL}	$I_{OL}=5mA$	GND	0.25	0.5	V
输出短路电流	I_{OS}	$V_{OUT}=0V$	-15	-47	-85	mA
高阻输出电流	I_{OZ}	$\overline{PWRDN}/REN=0.8V$, $V_{OUT}=0V$ 或 V_{CC}	-10	± 1	10	μA
MS1023 LVDS DC						
差分输出电压	V_{OD}	$R_L=27\Omega$, 见图 1, 2	350	450		mV
差分输出抖动电压	ΔV_{OD}				35	mV
失调电压	V_{OS}		1.1	1.2	1.3	V
失调抖动电压	ΔV_{OS}			4.8	35	mV
短路输出电流	I_{OS}	$D_0=0V, D_{INx}=high, \overline{PWRDN}/REN=2.4V$		-10	-90	mA
高阻输出电流	I_{OZ}	$\overline{PWRDN}/REN=0.8V, D_0=0V$ 或 V_{CC}	-10	± 1	10	μA
掉电输出电流	I_{OX}	$V_{CC}=0V, D_0=0V$ 或 $3.6V$	-20	± 1	25	μA
输出单端电容	C_o				$1\pm 20\%$	pF
MS1224 LVDS DC						
差分阈值高电压	V_{TH}	$V_{CM}=1.1V$			50	mV
差分阈值低电压	V_{TL}		-50			mV

参数	符号	测试条件	最小值	典型值	最大值	单位	
输入电流	I _{IN}	V _{IN} =2.4V, V _{CC} =0V 或 3.6V	-10	±1	15	μA	
		V _{IN} =0V, V _{CC} =0V 或 3.6V	-10	±0.05	10		
输入单端电容	C _I			0.5±20%		pF	
MS1023 工作电流							
串化器供电电流最坏情况	I _{CCD}	R _L =27Ω, 见图 3	f=10MHz		20	25	mA
			f=80MHz		65	80	
供电电流	I _{CCXD}	PWRDN=0.8V			200	500	μA
MS1224 工作电流							
解串器供电电流最坏情况	I _{CCR}	C _L =15pF 见图 5	f=10MHz		15	35	mA
			f=80MHz		90	105	
解串器掉电模式供电电流	I _{CCXR}	PWRDN=0.8V, REN=0.8V			0.36	1	mA


图 1. 典型 V_{OD} 曲线

图 2. V_{OD} 输出图

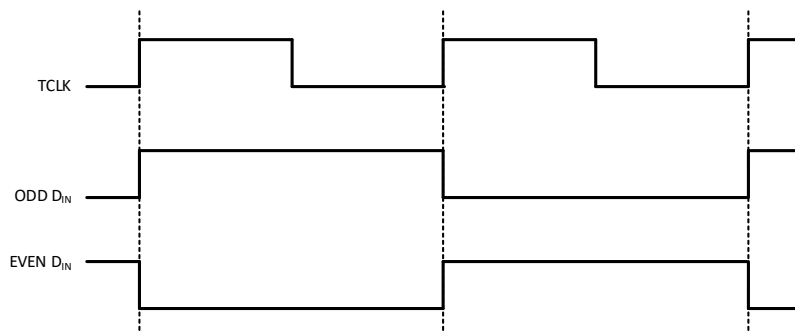


图 3. 最坏情况串化器 I_{CC} 测试模式

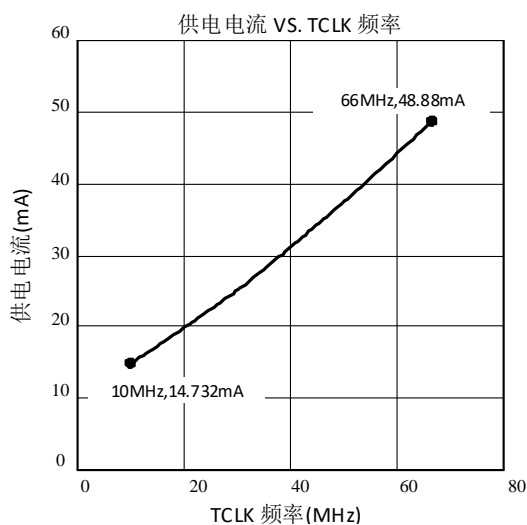


图 4. 供电电流 VS. TCLK 频率

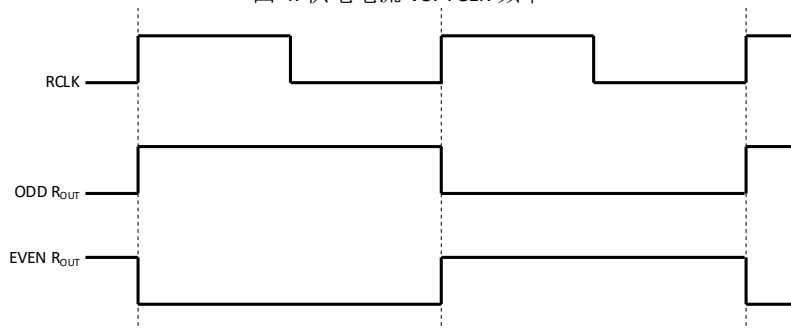


图 5. 最坏情况解串器 I_{CC} 测试模式

设备启动过程

图 6 表明了 在串化器和解串器中， \overline{PWRDN} 一直保持逻辑 0，直到电源供电至少达到 3V。

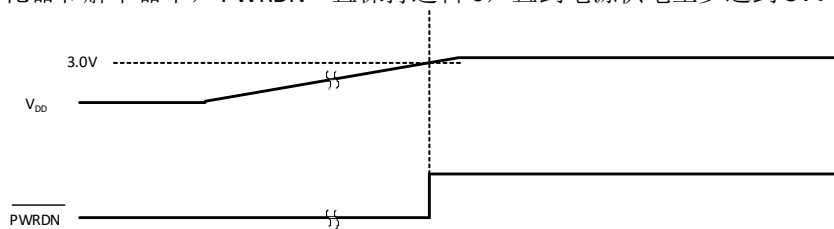


图 6. 设备启动

串化器中 TCLK 的时序要求

参数	符号	测试条件	最小值	典型值	最大值	单位
时钟周期	t_{TCP}		15.15	T	100	ns
时钟高电平时间	t_{TCIH}		0.4T	0.5T	0.6T	ns
时钟低电平时间	t_{TCIL}		0.4T	0.5T	0.6T	ns
TCLK 边沿时长	$t_{t(CLK)}$	见图 7		3	6	ns
TCLK 输入抖动	t_{JIT}	见图 8			150	ps
频率容差	F_t		-100		+100	ppm

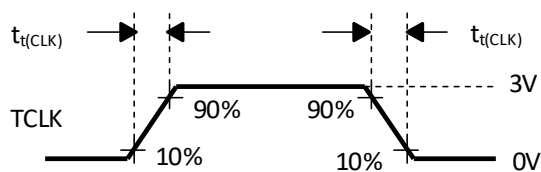


图 7. 串化器输入时钟传输时间

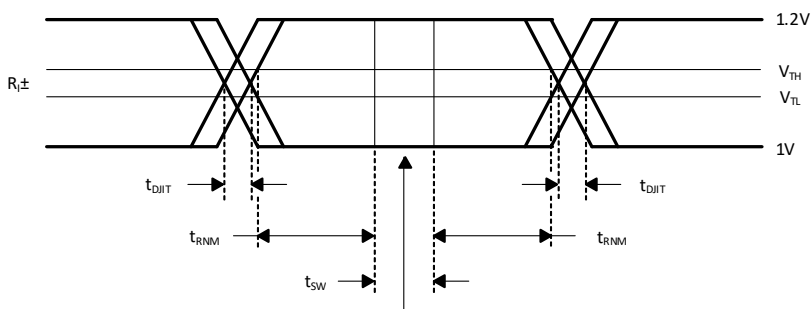


图 8. LVDS 输入边界采样

串化器转换特性

使用前面提出的工作条件（除给出的测试条件以外）

参数	符号	测试条件	最小值	典型值	最大值	单位
上升沿转换时间	$t_{TLH(L)}$	$R_L=27\Omega, C_L=10pF$ 到 GND, 见图 9		0.2	0.4	ns
下降沿转换时间	$t_{LTH(L)}$			0.25	0.4	ns
数据建立时间	$t_{su(DI)}$	见图 10	0.5			ns
数据保持时间	$t_{su(DI)}$		4			ns
高-高阻延时	$t_{d(HZ)}$	$R_L=27\Omega, C_L=10pF$ 到 GND, 见图 11, 12		2.5	5	ns
低-高阻延时	$t_{d(LZ)}$			2.5	5	
高-高阻-高延时	$t_{d(ZH)}$			5	10	
高-高阻-低延时	$t_{d(ZL)}$			6.5	10	

参数	符号	测试条件	最小值	典型值	最大值	单位
SYNC 脉冲持续时间	$t_{w(SPW)}$	见图 13	$6 \times t_{TCP}$			ns
串化器 PLL 锁定时间	$t_{(PLD)}$		$1026 \times t_{TCP}$			ns
串化器延时	$t_{d(S)}$	见图 14	$t_{TCP}+1$	$t_{TCP}+2$	$t_{TCP}+3$	ns
绝对抖动幅度	t_{DJIT}	$R_L=27\Omega, C_L=10pF$ 到 GND			230	ps
					150	
随机抖动幅度	t_{RJIT}	$R_L=27\Omega, C_L=10pF$ 到 GND		10	9	ps

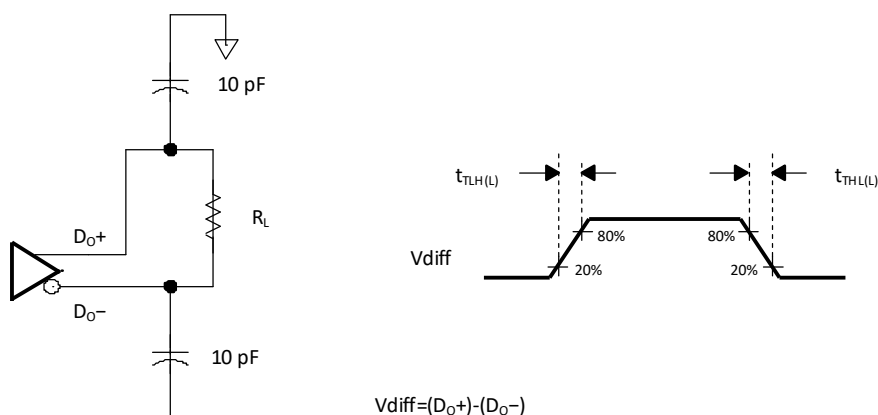


图 9. 串化器 LVDS 输出负载和传输时间

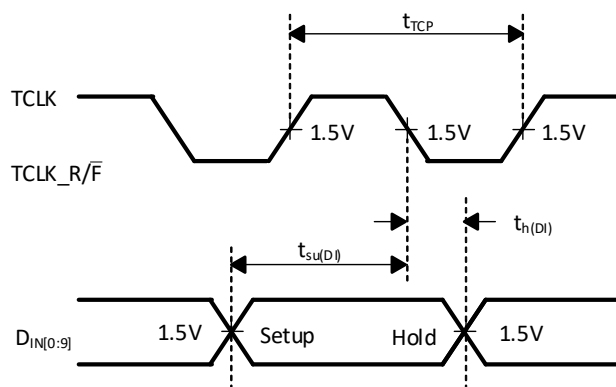


图 10. 串化器建立/保持时间

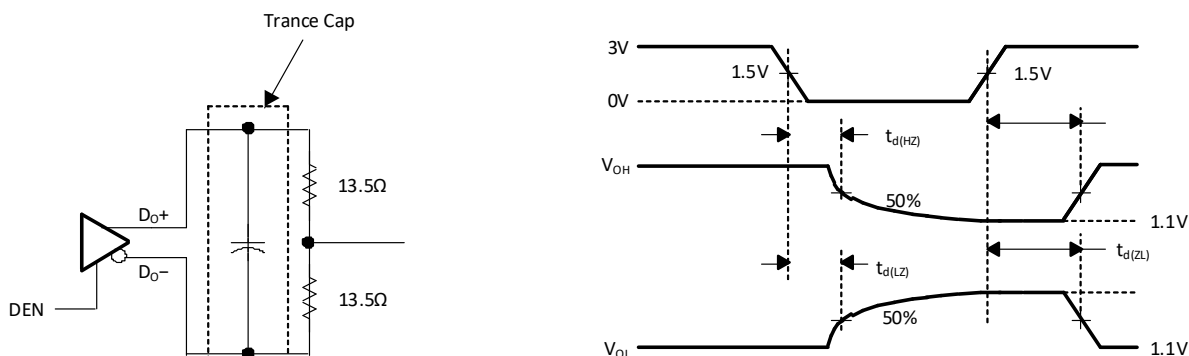


图 11. 串化器高阻态测试电路和时序

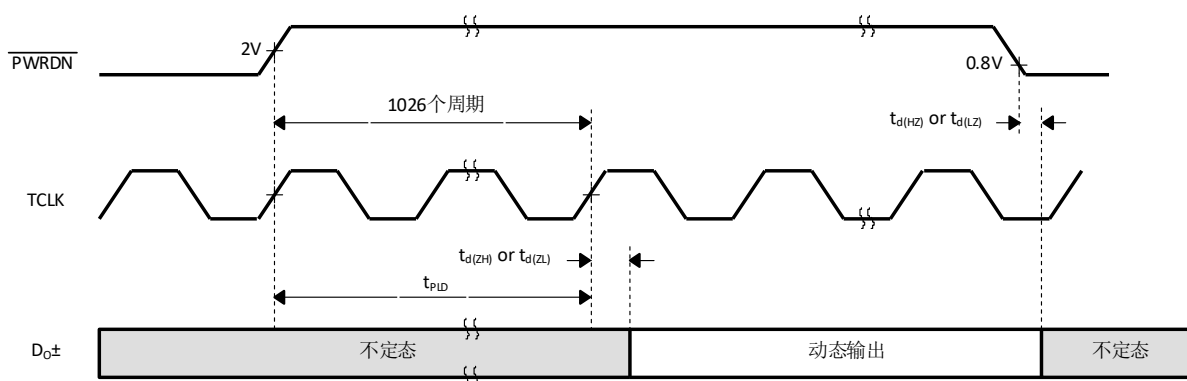


图 12. 串化器 PLL 锁定时间和 PWRDN 高阻态延时

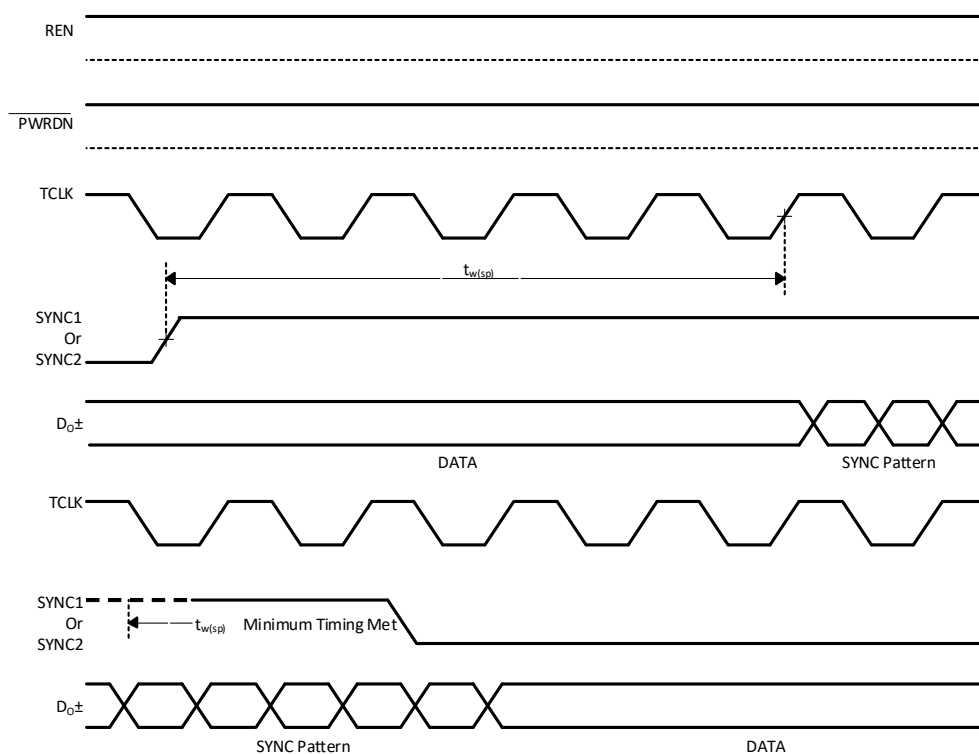


图 13. SYNC 时序延时

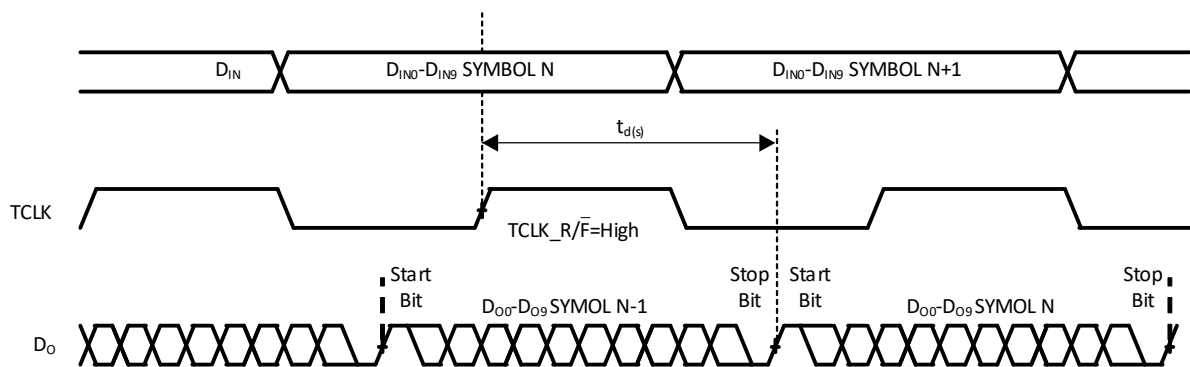


图 14. 串化器延时

解串器中 REFCLK 时序要求

使用前面提出的工作条件（除给出的测试条件以外）

参数	符号	测试条件	最小值	典型值	最大值	单位
REFCLK 周期	t_{RCP}		15.15	T	100	ns
REFCLK 占空比	t_{RFDC}		30	50	70	%
REFCLK 边沿时长	$t_{t(RF)}$			3	6	ns
频率容差	F_t		-100		+100	ppm

解串器转换特性

参数	符号	测试条件	引脚/频率	最小值	典型值	最大值	单位
接收器 输出时钟周期	$t_{(RCP)}$	$t_{(RCP)}=t_{(TCP)}$, 见图 14	RCLK	15.15		100	ns
低-高转换时间	$t_{TLH(C)}$	CL=15pF, 见图 15	$R_{OUT0}-R_{OUT9}$, \overline{LOCK} , RCLK		1.2	2.5	ns
高-低转换时间	$t_{THL(C)}$				1.1	2.5	ns
解串器延时	$t_{d(D)}$	室温, 3.3V, 见图 16	10MHz	$1.75 \times t_{(RCP)}$ +4.2		$1.75 \times t_{(RCP)}$ +12.6	ns
			80MHz	$1.75 \times t_{(RCP)}$ +7.4		$1.75 \times t_{(RCP)}$ +9.7	
在 RCLK 之前 ROUTX 数据有效	$t_{(ROS)}$	见图 17	RCLK 10MHz	$0.4 \times t_{(RCP)}$	$0.5 \times t_{(RCP)}$		ns
			RCLK 80MHz	$0.4 \times t_{(RCP)}$	$0.5 \times t_{(RCP)}$		
在 RCLK 之后 ROUTX 数据有效	$t_{(ROH)}$		10MHz	$-0.4 \times t_{(RCP)}$	$-0.5 \times t_{(RCP)}$		
			80MHz	$-0.4 \times t_{(RCP)}$	$-0.5 \times t_{(RCP)}$		
时钟占空比	$t_{(RDC)}$			40	50	60	%
高-高阻延时	$t_{d(HZ)}$	见图 18	$R_{OUT0}-R_{OUT9}$		6.5	8	ns
低-高阻延时	$t_{d(LZ)}$				4.7	8	
高阻-高延时	$t_{d(HR)}$				5.3	8	
高阻-低延时	$t_{d(ZL)}$				4.7	8	

参数	符号	测试条件	引脚/频率	最小值	典型值	最大值	单位	
解串器 PLL 锁存时间	t _(DSR1)	见图 19， 见图 20	10MHz			850×t _{RFCP}	μs	
			80MHz			850×t _{RFCP}		
	t _(DSR2)		10MHz			2		
			80MHz			0.303		
高阻-高延时 (启动)	t _{d(ZHLK)}			LOCK			3	ns
解串器噪声极限	t _{RNM}		见图 8	10MHz		3680		ps
				80MHz		540		

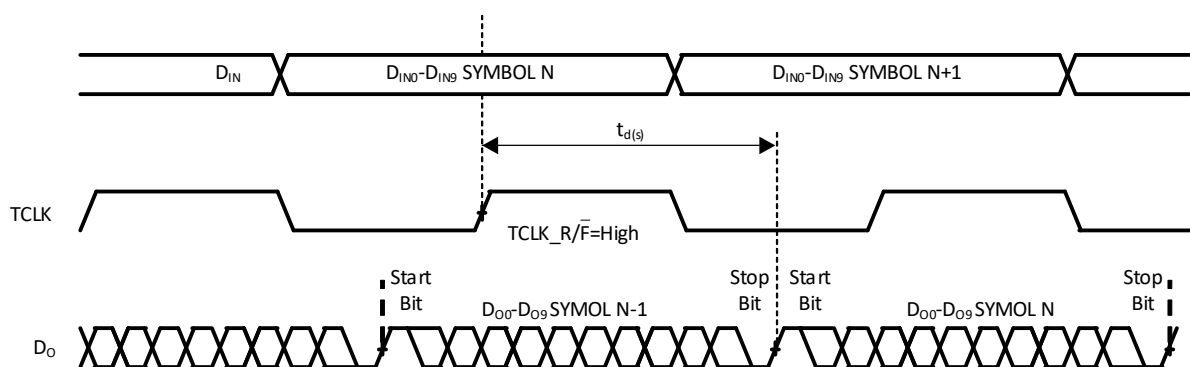


图 14. 串化器延时

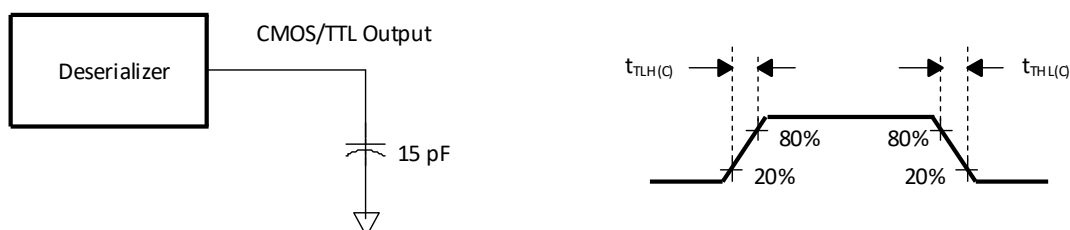


图 15. 解串器 CMOS/TTL 输出负载和传输时间

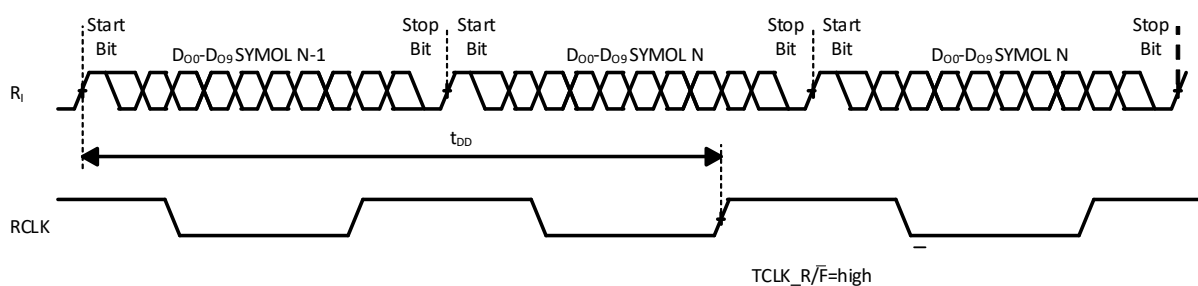


图 16. 解串器延时

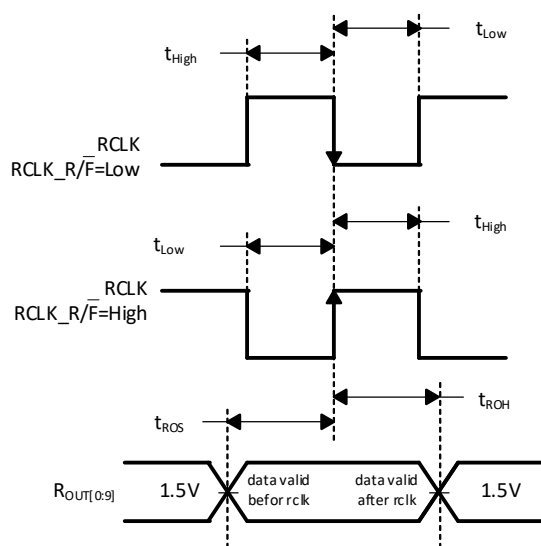


图 17. 解串数据有效输出时序

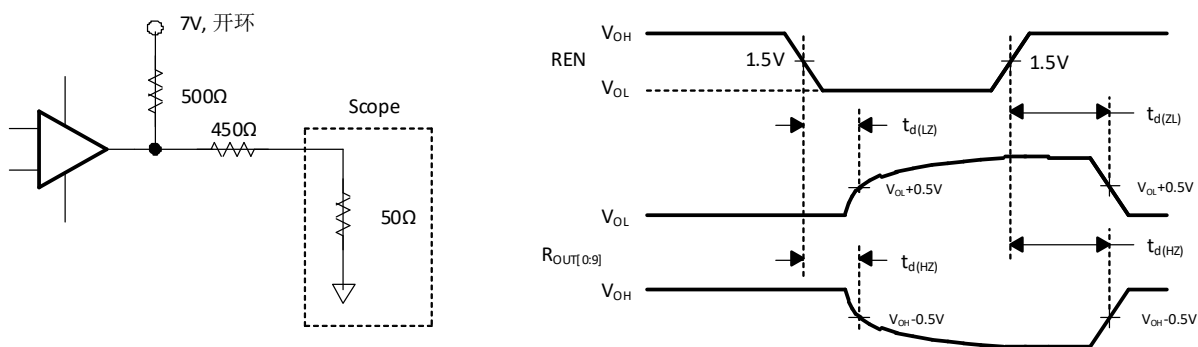


图 18. 解串器高阻态测试电路及时序

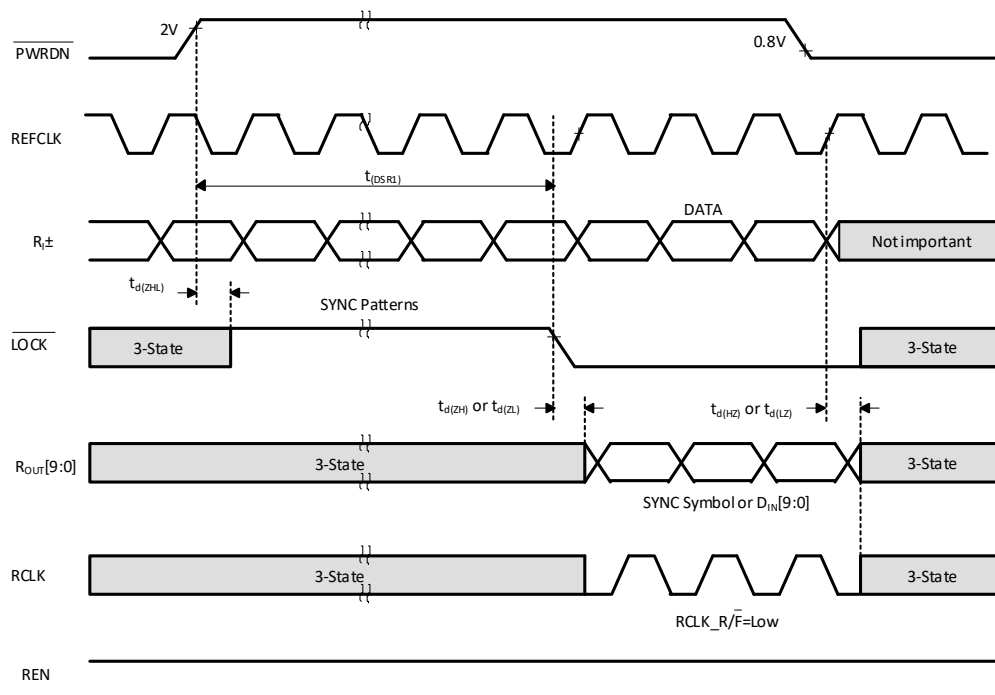


图 19. 解串器 PLL 锁定时序及 PWRDN 不定态延时

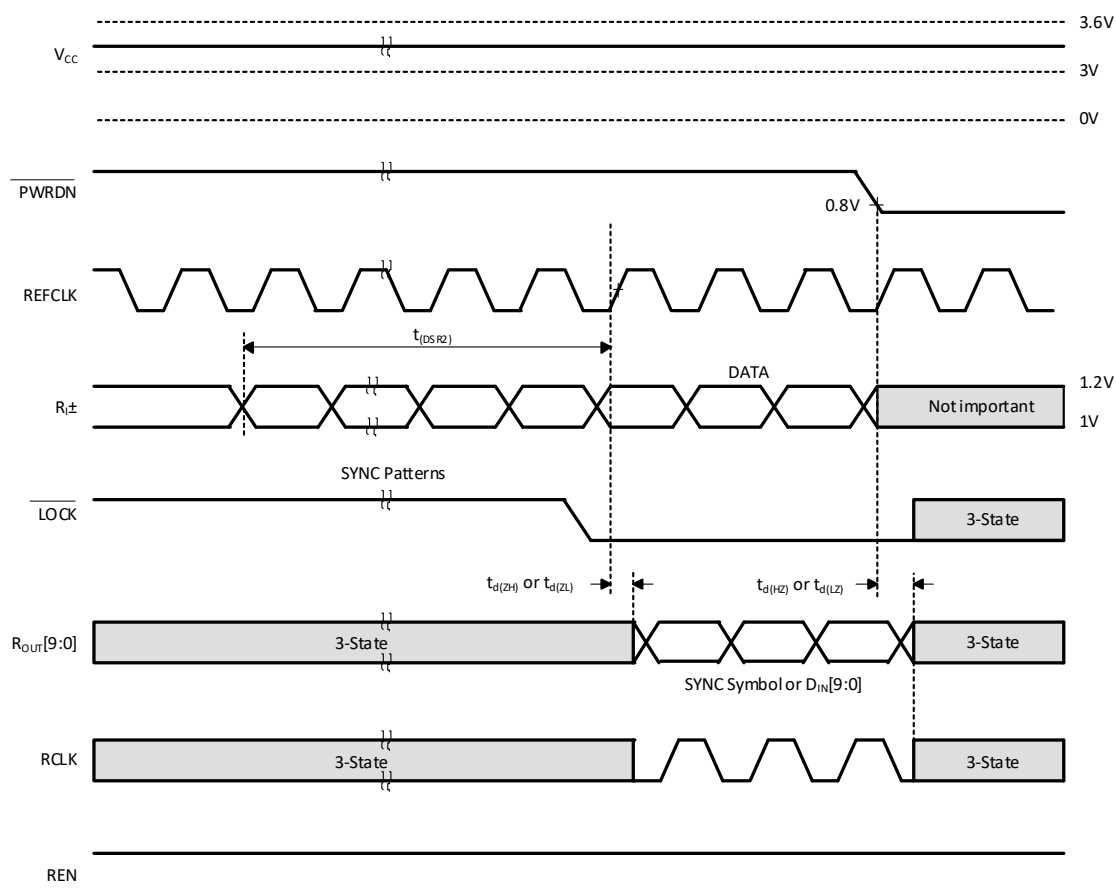


图 20. 解串器 PLL 在同步过程中的锁定时间

功能描述

MS1023和MS1224是一对10位串化/解串器芯片，可以通过差分底板或双绞线，传输10MHz到80MHz数据。这一对芯片有5种工作状态：初始化模式、同步模式、数据传输模式、掉电模式及高阻传输模式。下面将分节描述每一个工作状态。

初始化模式

在数据传输启动前，必须初始化。初始化涉及串化器的同步和解串器的PLL锁定本地时钟。

当Vcc加到串化器或解串器上，输出响应进入高阻态。同时，芯片内的电源电路使得内部电路失去功能。当Vcc达到2.45V，PLL开始锁定本地时钟。对于串化器，本地时钟是外部时钟源提供的传输时钟(TCLK)。对于解串器，本地时钟必须对应REFCLK脚的输入。当PLL锁定到TCLK，串化器输出保持高阻态。

同步模式

为了接收有效数据，解串器的PLL必须同步到串化器。同步可通过以下两种方式完成：

快速同步：串化器能够发送特定的SYNC样本信号——由6个1和6个0组成，其值转换由输入时钟速率决定。SYNC样本传输使能解串器，在一个确定的时间帧内锁定到串化器信号。SYNC样本信号传输与否由串化器的SYNC1和SYNC2输入决定。当连续收到有效的SYNC1或SYNC2脉冲（时间宽度超过6个时钟周期），SYNC样本信号将会发送。

当解串器在LVDS输入上检测到边沿传输，它将尝试锁定到内嵌的时钟信息。解串器 $\overline{\text{LOCK}}$ 输出保持高，同时PLL锁定输入数据或来自串化器的SYNC样本信号。当解串器锁定到LVDS数据， $\overline{\text{LOCK}}$ 输出变低。当 $\overline{\text{LOCK}}$ 为低，解串器输出开始恢复输入的LVDS数据。一种方法是将解串器 $\overline{\text{LOCK}}$ 输出直接连接到SYNC1或SYNC2。

随机锁定同步：解串器可从数据流中获取时钟，而不需要串化器发送特定的同步模式信号。这允许MS1224工作在开环应用中。重要的是——在工作时，解串器支持热插拔。在开环或热插拔情况下，假定数据流在本质上是随机的。因此，由于锁定时间根据数据流特征而变化，所以准确时间是不可能预知的。当解串器启动，在随机锁定时间上，首先要约束的是输入数据与REFCLK之间的初始相位。

数据流中的数据同样影响锁定时间，如果一个特殊的模式是重复性的，解串器可能进入错误的锁定——把输入数据模式误认为起始/终止位。这被认为是重复性多级传输(RMT)，见图21的RMT示例。当在多个周期内，每个时钟周期里发生多次低-高电平转换时，将形成RMT。在最坏情况中，解串器可能锁定数据模式而不是时钟。解串器里的电路可以检测潜在的错误时钟。通过检测，电路防止（输出）变为动态，直到潜在的错误时钟改变。观察到RMT模式仅仅影响到解串器锁定时间，同时一旦解串器锁定，RMT模式不会影响解串器状态（即使每个周期内发生相同数据边界）。解串器不会进入锁定，直到它在同一位置找到1个特殊的/4个连续时钟的数据边界(STOP/START bits)。

解串器保持锁定，直到在连续四个时钟周期内，都检测不到相同的数据边界(STOP/START bits)。然后，解串器解除锁定和寻找新的数据边界(STOP/START bits)。在同步缺失的情况下， $\overline{\text{LOCK}}$ 输出置高电平，输出（包括RCLK）进入高阻态。用户系统应监控 $\overline{\text{LOCK}}$ 以防同步缺失。当检测到锁定缺失，如果在特定的时间内无法复位锁定，可发送重新同步的SYNC样本信号。然而，解串器可以锁定随机数据（前面已提及）。

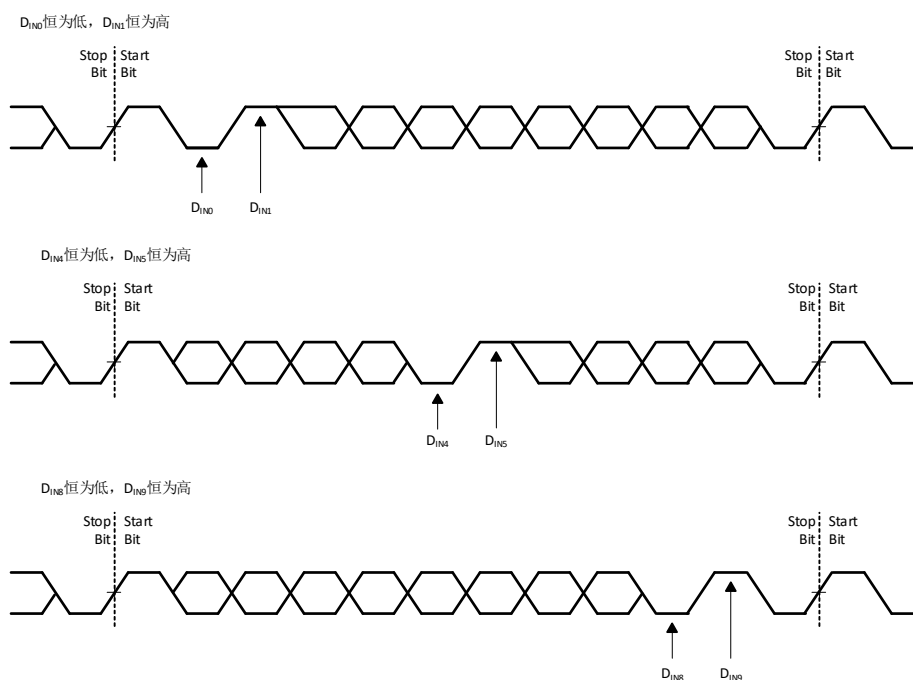


图21. RMT模式示例

数据传输模式

在初始化和同步完成之后，串化器从 DINO-DIN9 输入口接收并行数据。串化器使用时钟输入来锁定输入数据。TCLK_R/F脚选择串化器使用哪个边沿来忽略输入数据。如果任一个 SYNC 输入为高超过 6 个 TCLK 周期，无论选择哪个时钟边沿，都会忽略 DINO-DIN9 数据并且会发送 1026 个时钟周期的 SYNC 样本信号。

在决定了使用的时钟边沿之后，一个起始位和停止位嵌入到每一帧数据的寄存器中。起始位恒为高，停止位恒为低。在串行数据流中，起始停止位作为嵌入时钟信息。

串化器以 TCLK 的 12 倍频，传输串行数据以及内嵌时钟位(10+2bits)。比如，如果 TCLK 为 80MHz，串行速率为 $80 \times 12 = 960\text{Mbps}$ 。由于仅有 10 位输入数据，有效数据速率应为 10 倍的 TCLK 频率。例如，如果时钟为 80MHz，有效数据速率为 $80 \times 10 = 800\text{Mbps}$ 。而提供 TCLK 的数据源要求在 10MHz 至 80MHz 之间。

串化器输出(DO±)可以驱动点对点连接或有限复合点或复合压降底板。当使能脚(DEN)为高， $\overline{\text{PWRDN}}$ 为高，SYNC1 及 SYNC2 为低时，输出正常数据。当 DEN 被置低时，串化器输出高阻态。

一旦解串器同步到串化器， $\overline{\text{LOCK}}$ 脚输出低。解串器锁定到嵌入时钟，同时使用该时钟来恢复串化数据。ROUT 数据在 $\overline{\text{LOCK}}$ 低时有效，因此 ROUT0-ROUT9 有效。在 RCLK 边沿，忽略 ROUT0-ROUT9。特殊的 RCLK 极性将由 RCLK_R/F 输入决定。在 80MHz 时钟时，ROUT0-ROUT9、 $\overline{\text{LOCK}}$ 、RCLK 输出可以驱动三端 CMOS 输入门（3 个引脚接电容的总和为 15pF）。

掉电模式

当没有传输需求，可以使用掉电模式。串化器和解串器的掉电状态是一种低功耗的睡眠模式，可以减小功耗。当 $\overline{\text{PWRDN}}$ 和 DEN 被置低时，解串器进入掉电模式。当 $\overline{\text{PWRDN}}$ 为低时，串化器进入掉电模式。在掉电模式下，锁相环和输出进入高阻状态，禁用负载电流并且供电电流减少到微安级（ μA 级）。要退出掉电模式，必须驱动 $\overline{\text{PWRDN}}$ 为高。

在串化器和解串器之间的有效数据交换恢复之前，必须再次初始化和再次同步。串化器的初始化耗时 1026 个 TCLK 周期。解串器初始化，同时驱动 $\overline{\text{LOCK}}$ 为高，直至锁定到 LVDS 时钟。

高阻模式

当 DEN 被置低时，串化器进入高阻模式。这将使所有输出脚（DO+和 DO-）进入高阻状态。当驱动 DEN 为高，串化器恢复到先前的状态，同时其他所有控制引脚保持静态 (SYNC1, SYNC2, $\overline{\text{PWRDN}}$, TCLK_R/F)。当 REN 脚被置低时，解串器进入高阻模式。相应地，接收芯片的输出脚(ROUT0-ROUT9)和 RCLK 进入高阻状态。 $\overline{\text{LOCK}}$ 保持有效，用来跟踪 PLL 的状态。

表 1. 串并转换器真值表

输入		输出		
$\overline{\text{PWRDN}}$	REB	ROUT(0:9) ¹	$\overline{\text{LOCK}}$ ²	RCLK ^{1,3}
H	H	Z	H	Z
H	H	Active	L	Active
L	x	Z	Z	Z
H	L	Z	Active	Z

注：

1. 当 $\overline{\text{LOCK}}$ 置高，ROUT 和 RCLK 为不定态。
2. $\overline{\text{LOCK}}$ 输出反映解串器处理输入数据流的状态。
3. 如果解串器锁定，RCLK 为 Active 表明 RCLK 在工作。与 ROUT 相关的 RCLK 时序由 RCLK_R/F 决定。

MS1224 偏置故障保护

MS1224 有 $\pm 50\text{mV}$ 的输入阈值灵敏度，这允许 MS1224 有更大的差分噪声极限输入。然而，在接收器输入没有被动地驱动的情况下，MS1224 增加的灵敏度可能会把噪声当作输入信号并且引起无法预料的锁定。这种情况可能会发生在输入悬空时。MS1224 有片上故障保护电路，驱动输入和 $\overline{\text{LOCK}}$ 信号为高。故障保护电路的响应时间取决于内部连接电路的特性。

典型应用图

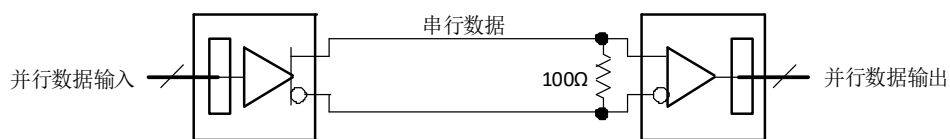


图 22 单终端点对点连接

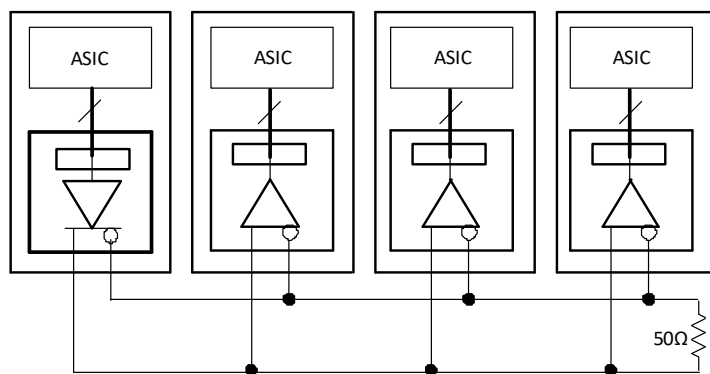
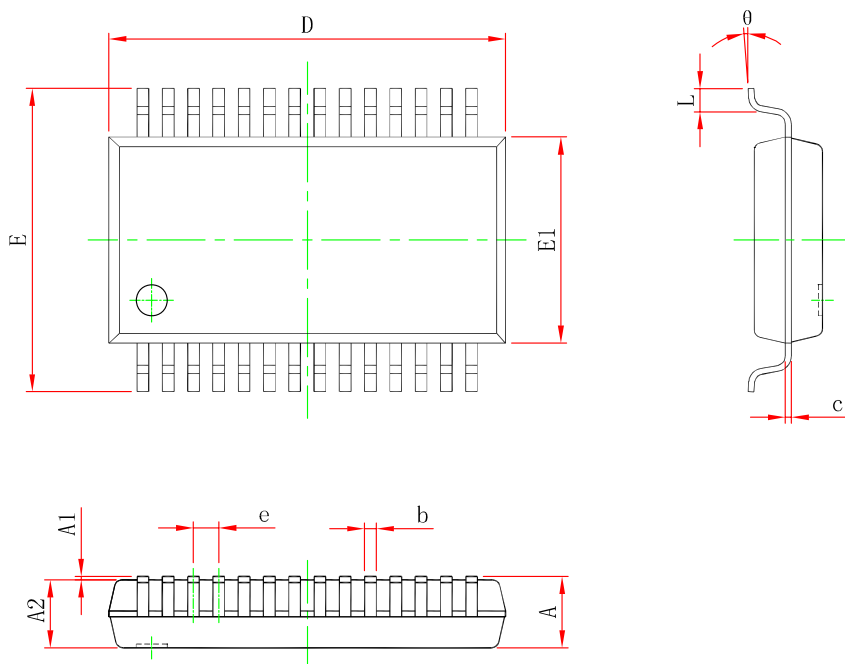


图 23. 多路连接配置

封装外形图

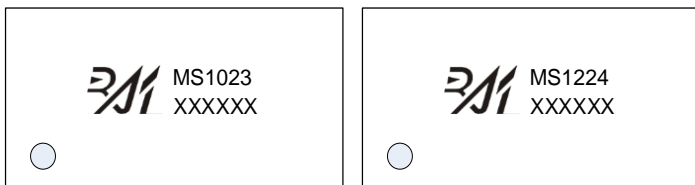
SSOP28



符号	尺寸（毫米）		尺寸（英寸）	
	最小	最大	最小	最大
A	-	2.000	-	0.079
A1	0.050	-	0.002	-
A2	1.650	1.850	0.065	0.073
b	0.220	0.380	0.009	0.015
c	0.090	0.250	0.004	0.010
D	9.900	10.500	0.390	0.413
E	7.400	8.200	0.291	0.323
E1	5.000	5.600	0.197	0.220
e	0.650BSC		0.026BSC	
L	0.550	0.950	0.022	0.037
θ	0°	8°	0°	8°

印章与包装规范

1. 印章内容介绍



产品型号：MS1023、MS1224

生产批号：XXXXXX

2. 印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

3. 包装规范说明

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS1023	SSOP28	2500	1	2500	8	20000
MS1224	SSOP28	2500	1	2500	8	20000

声明

- 瑞盟保留说明书的更改权，恕不另行通知！客户在下单前应获取最新版本资料，并验证相关信息是否完整。
- 在使用瑞盟产品进行系统设计和整机制造时，买方有责任遵守安全标准并采取相应的安全措施，以避免潜在失败风险可能造成的人身伤害或财产损失！
- 产品提升永无止境，本公司将竭诚为客户提供更优秀的产品！



MOS电路操作注意事项

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-571-89966911



杭州市滨江区伟业路 1 号
高新软件园 9 号楼 701 室



[http:// www.relmon.com](http://www.relmon.com)