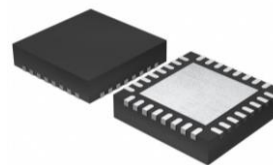


24bit、192kHz 集成数字音频接收接口的异步采样率转换器

产品简述

MS8422N 是一款 24 位高性能异步采样率转换器，它集成数字音频接口接收器，支持 IEC60958、S/PDIF、EIAJ CP1201 和 AES3 接口标准。音频数据由音频接口接收器或三线串行音频输入端输入，通过 2 个三线串行音频输出端输出。在软件模式或硬件模式下，可通过控制端口控制 MS8422N。



QFN32

主要特点

- SPI 或 I²C 软件模式和单机硬件模式
- 灵活的 3 线数字串行音频输入端
- 两个可独立选择数据路径的串行音频输出端
- 所有串行音频端口支持主从模式
- 时分复用模式(TDM)
- 4 个通用输出端口(GPO)
- +3.3V 模拟电源电压(VA)
- +1.8V-5.0V 的数字接口电压(VL)
- 兼容 IEC60958、S/PDIF、EIAJ CP1201 和 AES3 协议
- 28kHz 到 216kHz 的采样频率范围
- 2:1 差分 AES3 或 4:1 S/PDIF 输入多路器
- 低抖动时钟恢复
- 无需外部 PLL 滤波器
- 可选择和自动的时钟转换
- 片内通道状态数据缓存
- 自动检测压缩的输入音频数据流
- 解码 CD 的 Q Sub-Code
- 140 dB 动态范围
- -120 dB THD+N

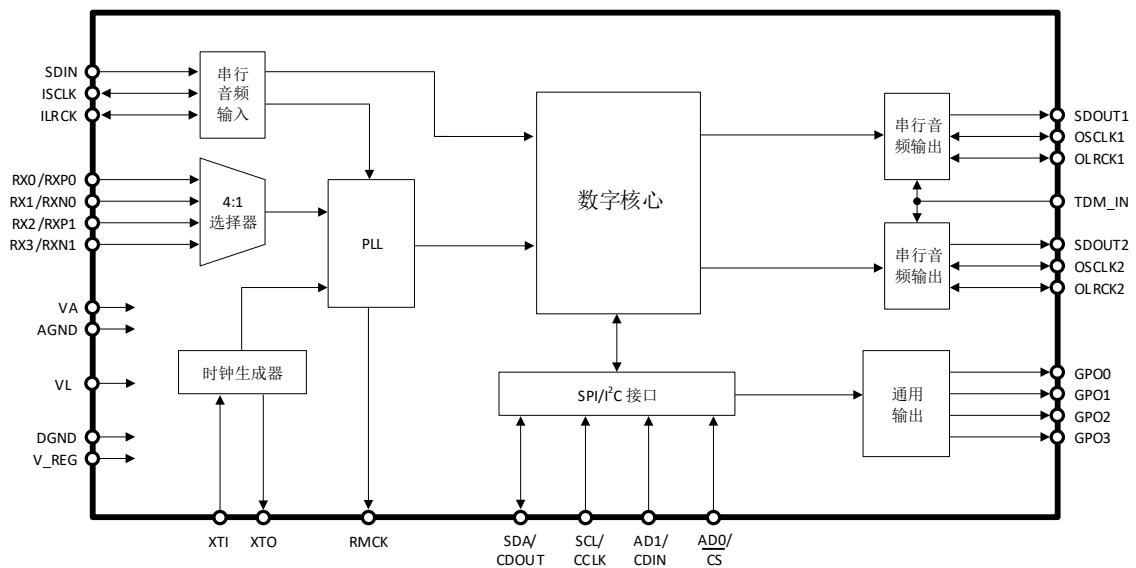
应用

- 数字记录系统
- 数字混频控制台
- 高性能数模转换器
- 数字音频处理器

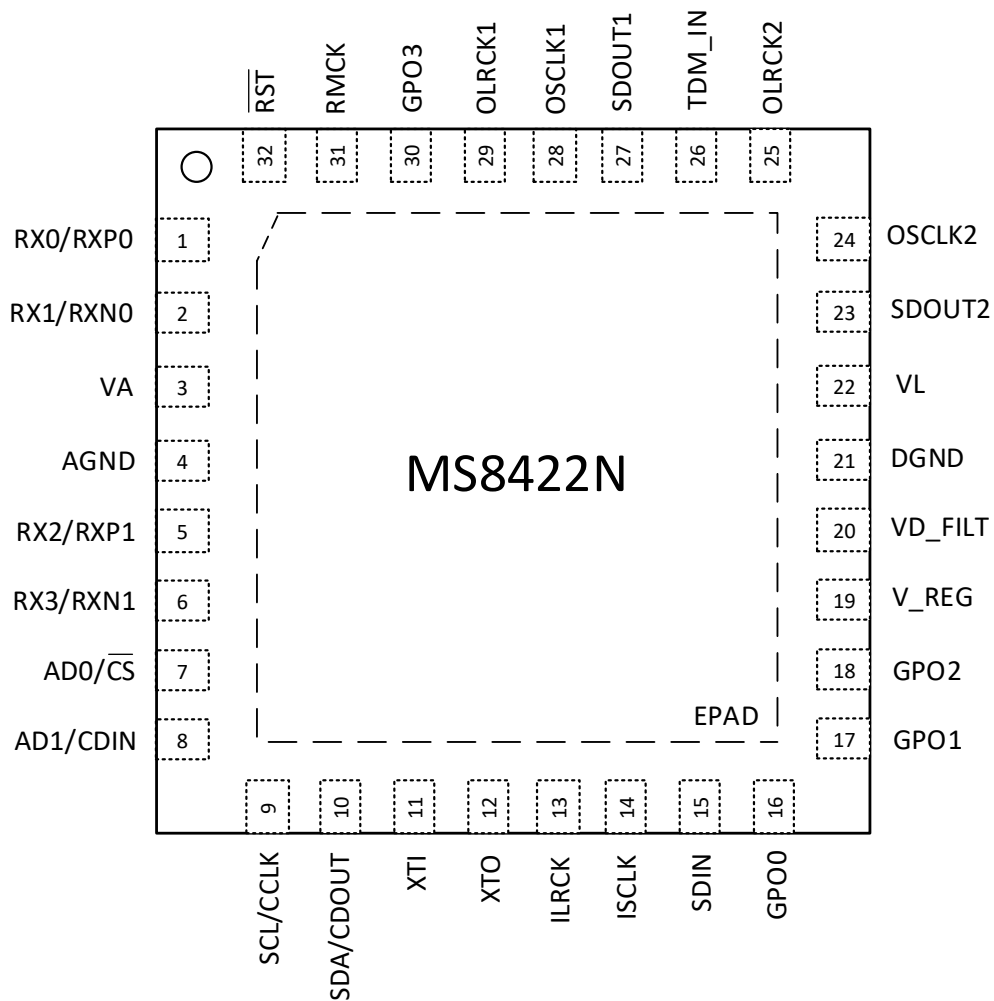
产品规格分类

产品	封装形式	丝印名称
MS8422N	QFN32	MS8422N

内部框图



管脚图-软件模式

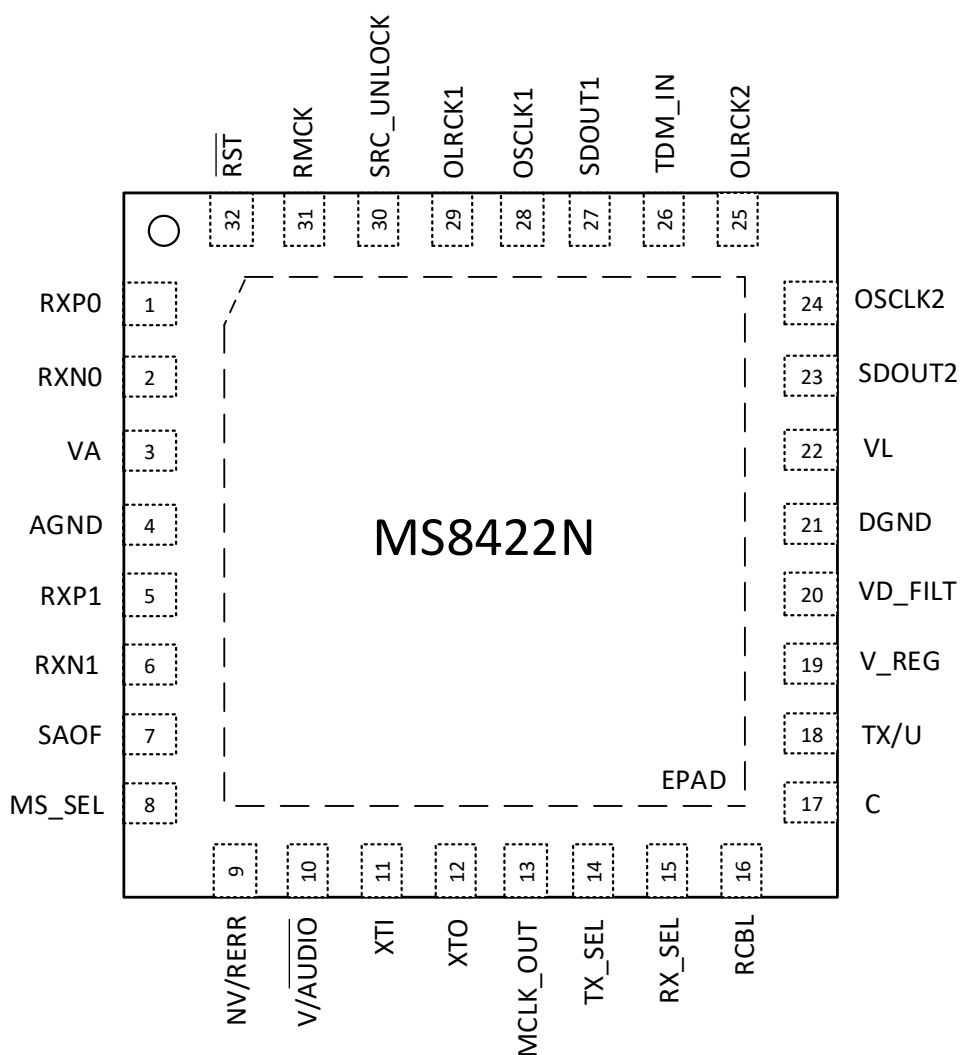


管脚说明-软件模式

管脚编号	管脚名称	管脚属性	管脚描述
1 2 5 6	RX[3:0], RXP/RXN[1:0]	I	AES3/SPDIF 输入，单端或差分接收器输入 AES3 或 S/PDIF 编码的数字数据。RX[3:0]包含单端输入选择器。RXP[1:0]包含差分输入多路选择器的非反向输入，RXN[1:0]包含差分输入多路选择器的反向输入。无用的输入应该接 AGND/DGND。
3	VA	I	模拟电源，模拟供电电源，正常+3.3V。该电源的噪声尽可能的小，因为噪声会直接导致恢复时钟的抖动。
4	AGND	-	模拟地，芯片内模拟电路的地。 AGND和DGND必须连接到同一个地。
7	AD0/ $\overline{\text{CS}}$	I	地址位0 (I ² C)/片选信号(SPI)。 在该管脚上的一个下降沿使MS8422N进入SPI模式。若没有下降沿，则MS8422N默认为I ² C模式。在I ² C模式中，AD0是芯片地址管脚。在SPI模式中， $\overline{\text{CS}}$ 用于使能MS8422N的数字接口。详见“控制端口描述”部分。
8	AD1/CDIN	I	地址位1 (I ² C)/串行控制数据输入(SPI)。在I ² C模式中，AD1是芯片地址管脚。在SPI模式中，CDIN是控制端口接口的数据输入管脚。详见“控制端口描述”部分。
9	SCL/CCLK	I	数字接口时钟。串行控制接口时钟，用于控制MS8422N数据位的输入和输出。
10	SDA/CDOUT	I/O	串行数据I/O (I ² C)/数据输出(SPI)。 在I ² C模式中，SDA是I/O数据线。在SPI模式中，CDOUT输出MS8422N的控制接口的数据。
11	XTI	I	晶体/振荡器输入。 晶体或数字时钟输入作为主时钟。详见“SRC主时钟”。
12	XTO	O	晶体输出。主时钟输出。详见“SRC主时钟”。
13	ILRCK	I/O	串行音频输入左/右时钟，SDIN管脚音频数据的字速率时钟
14	ISCLK	I/O	串行音频输入位时钟，SDIN管脚音频数据的串行位时钟。
15	SDIN	I	串行音频输入数据端，音频数据串行输入管脚。
16 17 18 30	GPO[3:0]	O	通用输出。在I ² C模式中，GPO2管脚上接一个20kΩ的上拉电阻到VL，会使AD2芯片地址位置1，否则AD2为0。

管脚编号	管脚名称	管脚属性	管脚描述
19	V_REG	I	调节器电压输入，寄存器供电电源输入，正常+3.3V。
20	VD_FILT	O	调节器数字电压，调节器输出数字电压。必须接一个10μF的电容到数字地。典型值为+2.5V。不能作为外部电压源。
21	DGND	I	数字和I/O地，逻辑和I/O的地。 AGND和DGND必须连接到同一个地。
22	VL	I	逻辑电源，输入/输出供电电源，典型值+1.8V、+2.5V、+3.3V或+5.0V。
23	SDOUT2	O	串行音频输出2数据端，音频数据串行输出2管脚。
24	OSCLK2	I/O	串行音频输出2位时钟，SDOUT2上音频数据的串行位时钟。
25	OLRCK2	I/O	串行音频输出2左/右时钟，SDOUT2上音频数据的字速率时钟。
26	TDM_IN	I	串行音频输出TDM输入，串行音频数据的时分复用输入。不使用时必须接地。详见“时分复用(TDM)模式”。
27	SDOUT1	O	串行音频输出1数据端，音频数据串行输出1管脚。
28	OSCLK1	I/O	串行音频输出1位时钟，SDOUT1上音频数据的串行位时钟。
29	OLRCK1	I/O	串行音频输出1左/右时钟，SDOUT1上音频数据的字速率时钟。
31	RMCK	O	恢复的主时钟，PLL恢复出来的主时钟。频率为128x、192x、256x、384x、512x、768x或1024x F_s ，其中 F_s 是输入AES3格式数据的采样率或ISCLK/64。
32	$\overline{\text{RST}}$	I	复位输入。当 $\overline{\text{RST}}$ 为低时，MS8422N进入低功耗模式，并且所有的内部状态都复位。 $\overline{\text{RST}}$ 必须保持低电平，直到供电电源稳定和所有的输入时钟频率和相位稳定。
-	EPAD	-	散热片，应该连接到地以利于散热。

管脚图-硬件模式



管脚描述-硬件模式

管脚编号	管脚名称	管脚属性	管脚描述
1 2 5 6	RXP/RXN[1:0]	I	AES3/SPDIF输入，差分接收器输入AES3或S/PDIF编码的数字数据。RXP[1:0]包含了差分输入多路选择器的非反向输入，RXN[1:0]包含了差分输入多路选择器的反向输入。无用的输入应该接AGND。
3	VA	I	模拟电源，模拟供电电源，正常+3.3V。该电源的噪声尽可能的小，由于噪声会直接导致恢复时钟的抖动。
4	AGND	I	模拟地，芯片内模拟电路的地。AGND和DGND必须连接到同一个地。
7	SAOF	I	串行音频输出格式选择。当 $\overline{\text{RST}}$ 释放后，用于选择串行音频输出格式。格式设置参考表4。
8	MS_SEL	I	主/从模式选择。当 $\overline{\text{RST}}$ 释放后，用于选择串行音频输出端口的主或从模式。格式设置参考表5。
9	NV/RERR	O	反向接收器错误/接收器错误，接收器错误指示。默认输出NVERR，接一个20kΩ的上拉电阻到VL则选择RERR。
10	V/ $\overline{\text{AUDIO}}$	O	有效数据/ $\overline{\text{AUDIO}}$ 。在主模式中，若该管脚接一个20kΩ的下拉电阻，通过OLRCK2的上升沿和下降沿，该管脚会输出来自AES3接收器的串行有效数据。若该管脚接一个20kΩ的上拉电阻，当AES3输入有效线性PCM数据时，该管脚为低。
11	XTI	I	晶体/振荡器输入。晶体或数字时钟输入作为主时钟。详见“SRC主时钟”。
12	XTO	O	晶体输出，主时钟输出。详见“SRC主时钟”。
13	MCLK_OUT	O	MCLK缓存（输出），缓存输出XTI时钟。若该管脚接一个20kΩ的上拉电阻到VL，则SRC主时钟源来自PLL时钟，否则来自环形振荡器。
14	TX_SEL	I	TX管脚多路选择，用于选择AES3接收器输入通路到TX管脚。
15	RX_SEL	I	接收器多路选择，用于选择AES3接收器有效输入。
16	RCBL	O	接收器通道状态块，指示通道状态块的起始。在检测到第一个Z头码后的每一个Z头码期间，RCBL变高电平。若未检测到Z头码，则输出不定。详见图11。
17	C	O	通道状态数据。在主模式下，输出来自AES3接收器的通道状态数据，由OLRCK的上升沿和下降沿采样。硬件模式下，该管脚必须接一个20kΩ的上拉电阻到VL。

管脚编号	管脚名称	管脚属性	管脚描述
18	TX/U	O	接收器多路通路/用户数据。-若无20kΩ的上拉电阻，该管脚输出通过TX_SEL管脚选择的接收器多路输入。在主模式下，若接一个20kΩ的上拉电阻到VL，该管脚输出来自AES3接收器的串行用户数据，由OLRCK的上升沿和下降沿采样。
19	V_REG	I	调节器电压输入，寄存器供电电源输入，正常+3.3V。
20	VD_FILT	O	调节器数字电压，调节器输出数字电压。必须接一个10μF的电容到数字地。典型值为+2.5V。不能作为外部电压源。
21	DGND	I	数字和I/O地，逻辑和I/O的地。AGND和DGND必须连接到同一个地。
22	VL	I	逻辑电源，输入/输出供电电源，典型值+1.8V，+2.5V，+3.3V，或+5.0V。
23	SDOUT2	O	串行音频输出2数据端，音频数据串行输出2管脚。
24	OSCLK2	I/O	串行音频输出2位时钟，SDOUT2上音频数据的串行位时钟。
25	OLRCK2	I/O	串行音频输出2左/右时钟，SDOUT2上音频数据的字速率时钟。
26	TDM_IN	I	串行音频输出TDM输入，串行音频数据的时分复用输入。不使用时必须接地。详见“时分复用(TDM)模式”。
27	SDOUT1	O	串行音频输出1数据端，音频数据串行输出1管脚。
28	OSCLK1	I/O	串行音频输出1位时钟，SDOUT1上音频数据的串行位时钟。
29	OLRCK1	I/O	串行音频输出1左/右时钟，-SDOUT1上音频数据的字速率时钟。
30	SRC_UNLOCK	O	SRC未锁定指示（输出），指示SRC是否锁定。详见“SRC锁定”。
31	RMCK	O	恢复的主时钟，PLL恢复出来的主时钟。频率为128x、192x、256x、384x、512x、768x或1024xFs，其中Fs是输入AES3格式数据的采样率，或ISCLK/64。若该脚接一个20kΩ的上拉电阻到VL，SDOUT1的MCLK来自RMCK，否则为来自XTI-XTO的输入时钟。
32	RST	I	复位输入。当RST为低时，MS8422N进入低功耗模式。并且所有的内部状态都复位。RST必须保持低电平，直到供电电源稳定和所有的输入时钟频率和相位稳定。
-	EPAD	-	散热片，应该连接到地以利于散热。

管脚编号	管脚名称	管脚属性	管脚描述
18	TX/U	O	接收器多路通路/用户数据。-若无20kΩ的上拉电阻，该管脚输出通过TX_SEL管脚选择的接收器多路输入。在主模式下，若接一个20kΩ的上拉电阻到VL，该管脚输出来自AES3接收器的串行用于数据，由OLRCK的上升沿和下降沿采样。
19	V_REG	I	调节器电压输入，寄存器供电电源输入，正常+3.3V。
20	VD_FILT	O	调节器数字电压，调节器输出数字电压。必须接一个10μF的电容到数字地。典型值为+2.5V。不能作为外部电压源。
21	DGND	I	数字和I/O地，逻辑和I/O的地。 AGND和DGND必须连接到同一个地。
22	VL	I	逻辑电源，输入/输出供电电源，典型值+1.8V、+2.5V、+3.3V或+5.0V。
23	SDOUT2	O	串行音频输出2数据端，音频数据串行输出2管脚。
24	OSCLK2	I/O	串行音频输出2位时钟，SDOUT2上音频数据的串行位时钟。
25	OLRCK2	I/O	串行音频输出2左/右时钟，SDOUT2上音频数据的字速率时钟
26	TDM_IN	I	串行音频输出TDM输入，串行音频数据的时分复用输入。不使用时必须接地。详见“时分复用(TDM)模式”。
27	SDOUT1	O	串行音频输出1数据端，音频数据串行输出1管脚。
28	OSCLK1	I/O	串行音频输出1位时钟，SDOUT1上音频数据的串行位时钟。
29	OLRCK1	I/O	串行音频输出1左/右时钟，-SDOUT1上音频数据的字速率时钟
30	SRC_UNLOCK	O	SRC未锁定指示（输出），指示SRC是否锁定。 详见“SRC锁定”。
31	RMCK	O	恢复的主时钟，PLL恢复出来的主时钟。频率为128x、192x、256x、384x、512x、768x或1024xFs，其中Fs是输入AES3格式数据的采样率，或ISCLK/64。若该脚接一个20kΩ的上拉电阻到VL，SDOUT1的MCLK来自RMCK，否则为来自XTI-XTO的输入时钟。
32	RST	I	复位输入。当RST为低时，MS8422N进入低功耗模式。并且所有的内部状态都复位。RST必须保持低电平。直到供电电源稳定和所有的输入时钟频率和相位稳定。
-	EPAD	-	散热片，应该连接到地以利于散热。

极限参数

芯片使用中，任何超过极限参数的应用方式会对器件造成永久的损坏，芯片长时间处于极限工作状态可能会影响器件的可靠性。极限参数只是由一系列极端测试得出，并不代表芯片可以正常工作在此极限条件下。DGND=AGND=0V，所有的电压值都是相对于 0V。

参数	符号	参数范围	单位
电源电压	VL	-0.3 ~ 5.5	V
	VA	-0.3 ~ 5.3	V
	V_REG	-0.3 ~ 5.2	V
输入电流，除供电外的任何管脚 ¹	I _{in}	±10	mA
输入电压 除 RXP[1:0]、RXN[1:0]或 RX[3:0]外的任何管脚	V _{in}	-0.3 ~ VL+0.4	V
输入电压 RXP[1:0]、RXN[1:0]或 RX[3:0]	V _{in}	-0.3 ~ VA+0.4	V
工作温度	T _A	-55 ~ +125	°C
存储温度	T _{stg}	-65 ~ +150	°C

注 1：瞬态电流上升到 100mA 不会引起 SCR 的闩锁效应。

推荐工作条件

GND=0V，所有的电压值都是相对于 0V。

参数	符号	最小值	典型值	最大值	单位
电源电压	VL	1.8	3.3	5.0	V
	VA	2.4	3.3	5.0	V
	V_REG	2.4	3.3	5.0	V
工作温度	T _A	-40		+85	°C

电气参数

采样率转换器

XTI - XTO=24.576 MHz; 输入信号=1.000 kHz, 测量带宽=20 - Fso/2Hz, 且字长=24 位。²

参数	最小值	典型值	最大值	单位
分辨率	16		24	bits
采样率				
从	XTI/2048		XTI/128	kHz
主	XTI/512		XTI/128	kHz
采样率比率-上采样			1:6	Fsi:Fso
采样率比率-下采样			6:1	Fsi:Fso
信道间增益失配		0.0		dB
信道间相位偏差		0.0		Degrees
增益误差	-0.2		0	dB
空闲信道噪声分量峰值			-144	dBFS
动态范围-未加权的（997Hz, -60 dBFS 输入）				
44.1 kHz:48 kHz		130		dB
48 kHz:192 kHz		132		dB
48 kHz:44.1 kHz		133		dB
48 kHz:96 kHz		134		dB
96 kHz:48 kHz		133		dB
总谐波失真+噪声（1kHz, -3 dBFS 输入）				
44.1 kHz:48 kHz		-128		dB
48 kHz:192 kHz		-128		dB
48 kHz:44.1 kHz		-128		dB
48 kHz:96 kHz		-134		dB
96 kHz:48 kHz		-134		dB

注 2: Fsi 是输入数据采样率。Fso 是输出数据采样率。用冒号分隔的数据是 Fsi 和 Fso 的比率。

直流电气特性

AGND=DGND=0V，所有的电压值都是相对于 0V。

参数		最小值	典型值	最大值	单位
掉电模式 ³					
掉电模式下的供电电压	VA		3.0		mA
	V_REG		3.1		
	VL = 1.8 V		1.0		
	VL = 2.5 V		1.7		
	VL = 3.3 V		2.4		
	VL = 5.0 V		14.8		
正常工作 ⁴					
48 kHz F _{Si} 和 F _{So} 下的 供电电流	VA		18.8		mA
	V_REG		15.2		
	VL = 1.8 V		2.7		
	VL = 2.5 V		3.8		
	VL = 3.3 V		5.2		
	VL = 5.0 V		5.3		
192 kHz F _{Si} 和 F _{So} 下的 供电电流	VA		18.9		mA
	V_REG		32.4		
	VL = 1.8 V		6.2		
	VL = 2.5 V		8.8		
	VL = 3.3 V		12		
	VL = 5.0 V		18		

注：3. 掉电模式是通过修改寄存器 0x02h，让芯片进入低功耗模式，再将 $\overline{\text{RST}}$ 置为低电平。

4. 正常工作模式是指 $\overline{\text{RST}}$ 为高电平。典型值是由不同模式下的数字接口接收器测试的，其中串行音频输出端口 1 工作在主模式下，数据源自 SRC，串行音频输出端口 2 工作在主模式下，数据源自 AES3 接收器输出。

数字接口规格

AGND=DGND= 0V，所有的电压值都是相对于 0V。

参数	符号	最小值	典型值	最大值	单位
输入漏电流 ⁵	I_{in}			+32	μA
输入电容	C_{in}		8		pF
数字接口接收器-RXP[1:0], RXN[1:0], RX[3:0]					
差分输入灵敏度, RXP 到 RXN ⁶				200	mVpp
差分输入阻抗, RXP 和 RXN 到 GND			11		k Ω
单端输入灵敏度, RX 管脚, 接收器输入模式 1 ⁶				316	mVpp
单端输入阻抗, RX 管脚, 接收器输入模式 1			11		k Ω
高电平输入电压, RX 管脚, 数字模式	V_{IH}	$0.6 \times V_A$		$V_A + 0.3$	V
低电平输入电压, RX 管脚, 数字模式	V_{IL}	-0.3		0.8	V
数字输入/输出					
高电平输出电压 ($I_{OH} = -4mA$)	V_{OH}	$0.8 \times V_L$			V
低电平输出电压 ($I_{OL} = -4mA$)	V_{OL}			0.64	V
高电平输入电压	V_{IH}	$0.55 \times V_L$			V
低电平输入电压	V_{IL}			$0.4 \times V_L$	V
输入迟滞			0.2		V

注：5. 当数字信号发送到 AES 的 RX 管脚时，从 RST 管脚释放一直到寄存器 03h 中的 RX_MODE，RX_SEL 和 INPUT_TYPE 位恰配置成在驱动管脚上允许数字输入信号，RX 管脚会在数字信号供应端引起 730 μA 电流。

6. 最大灵敏度参照 AES3-2003。眼图高度是在特定电压和至少 50%的 1/2 双相符号周期下测试的。

转换特性

输入：逻辑 0 = 0V，逻辑 1 = V_L ； $C_L = 20$ pF。

参数	符号	最小值	典型值	最大值	单位
RST 管脚低电平脉宽 ⁷		1			ms
PLL 时钟恢复采样率范围 ⁸		28		216	kHz
RMCK 输出抖动 ⁹	差分 RX 模式		200		ps RMS
	单端 RX 模式		475		
XTI 频率	晶振	12		27.000	MHz
	数字时钟源	1.024		49.152	
XTI 高/低脉宽		9			ns

参数	符号	最小值	典型值	最大值	单位
VL=3.3V, 5V					
RMCK/MCLK_OUT 输出频率				49.152	MHz
RMCK/MCLK_OUT 输出占空比		45	50	55	%
从模式					
ISCLK 频率				49.152	MHz
ISCLK 高电平时间	t _{sckh}	9.2			ns
ISCLK 低电平时间	t _{sckl}	9.2			ns
OSCLK 频率				26.9	MHz
OSCLK 高电平时间	t _{sckh}	16.7			ns
OSCLK 低电平时间	t _{sckl}	16.7			ns
I/OLRCK 边沿到 I/OSCLK 上升沿	t _{icks}	5.7			ns
I/OSCLK 上升沿到 I/OLRCK 边沿	t _{ickd}	4.2			ns
OSCLK 下降沿/OLRCK 边沿到 SDOUT 输出有效	t _{dps}			15	ns
I/OSCLK 上升沿之前 SDIN/TDM_IN 建立时间	t _{ds}	3.6			ns
I/OSCLK 上升沿之后 SDIN/TDM_IN 保持时间	t _{dh}	5.5			ns
TDM 模式 OLRCK 高电平时间 ¹⁰	t _{lrckh}	20			ns
TDM 模式 OLRCK 上升沿到 OSCLK 上升沿	t _{fss}	5.3			ns
TDM 模式 OSCLK 上升沿到 OLRCK 下降沿	t _{fsh}	4.2			ns
主模式 ¹¹					
I/OSCLK 频率（非 TDM 模式）		48Fsi/o		128Fsi/o	MHz
I/OLRCK 占空比		49.5		50.5	%
I/OSCLK 占空比		45		55	%
I/OSCLK 下降沿到 I/OLRCK 边沿	t _{icks}			4.2	ns
OSCLK 下降沿到 SDOUT 输出有效	t _{dps}			4.6	ns
I/OSCLK 上升沿之前 SDIN 建立时间	t _{ds}	2.7			ns
I/OSCLK 上升沿之后 SDIN 保持时间	t _{dh}	5.5			ns
TDM 模式 OSCLK 频率 ¹²				49.152	MHz
TDM 模式 OSCLK 下降沿到 OLRCK 边沿	t _{fsm}			4.2	ns
VL = 1.8V, 2.5V					
RMCK/MCLK_OUT 输出频率 (VL=1.8V)				13.5	MHz
RMCK/MCLK_OUT 输出频率 (VL=2.5V)				31	MHz
RMCK/MCLK_OUT 输出占空比 (VL=1.8V)		37	50	63	%
RMCK/MCLK_OUT 输出占空比 (VL=2.5V)		45	50	55	%

参数	符号	最小值	典型值	最大值	单位
从模式					
ISCLK 频率				49.152	MHz
ISCLK 高电平时间	t_{sckh}	9.2			ns
ISCLK 低电平时间	t_{sckl}	9.2			ns
OSCLK 频率				15.7	MHz
OSCLK 高电平时间	t_{sckh}	28.7			ns
OSCLK 低电平时间	t_{sckl}	28.7			ns
I/OLRCK 边沿到 I/OSCLK 上升沿	t_{icks}	7.4			ns
I/OSCLK 上升沿到 I/OLRCK 边沿	t_{ickd}	6.2			ns
OSCLK 下降沿/OLRCK 边沿到 SDOUT 输出有效	t_{dpd}			29.5	ns
I/OSCLK 上升沿之前 SDIN/TDM_IN 建立时间	t_{ds}	4.7			ns
I/OSCLK 上升沿之后 SDIN/TDM_IN 保持时间	t_{dh}	7.3			ns
TDM 模式 OLRCK 高电平时间 ¹⁰	t_{lrckh}	20			ns
TDM 模式 OLRCK 上升沿到 OSCLK 上升沿	t_{fss}	7.0			ns
TDM 模式 OSCLK 上升沿到 OLRCK 下降沿	t_{fsh}	6.2			ns
主模式¹¹					
I/OSCLK 频率（非 TDM 模式）		48Fsi/o		128Fsi/o	MHz
I/OLRCK 占空比		45		55	%
I/OSCLK 占空比		45		55	%
I/OSCLK 下降沿到 I/OLRCK 边沿	t_{icks}			5.7	ns
OSCLK 下降沿到 SDOUT 输出有效 (VL=1.8V)	t_{dpd}			11.2	ns
OSCLK 下降沿到 SDOUT 输出有效 (VL=2.5V)	t_{dpd}			6.4	ns
I/OSCLK 上升沿之前 SDIN 建立时间	t_{ds}	4.7			ns
I/OSCLK 上升沿之后 SDIN 保持时间	t_{dh}	7.3			ns
TDM 模式 OSCLK 频率 ¹²				31	MHz
TDM 模式 OSCLK 下降沿到 OLRCK 边沿 (VL=1.8V)	t_{fsm}			9.6	ns
TDM 模式 OSCLK 下降沿到 OLRCK 边沿 (VL=2.5V)	t_{fsm}			5.7	ns

注：7. 在 MS8422N 上电后，RST 必须为低电平直到供电电源和时钟稳定。

8. 若 ISCLK 作为 PLL 的时钟源，则采样率为 ISCLK/64。

9. 典型的基带抖动参照 AES-12id-2006 的 3.4.2 节。测量的采样率为 48kHz。
10. 在 TDM 模式中，OLRCK 必须保持高电平，最少 1 个 OSCLK 周期，最多 255 个 OSCLK 周期。
11. 在 TDM 格式主模式中，不支持 TDM_IN 管脚。
12. 在 TDM 格式主模式中，OSCLK 的频率固定为 $256 \times \text{OLRCK}$ 。

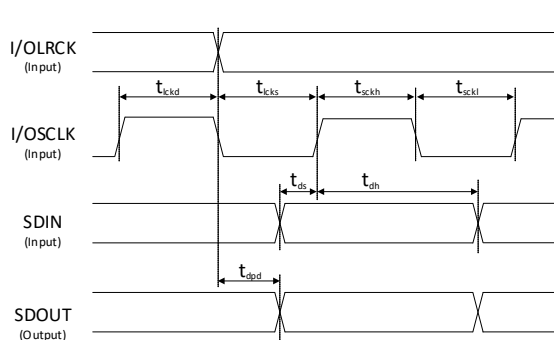


图 1. 非 TDM 从模式时序

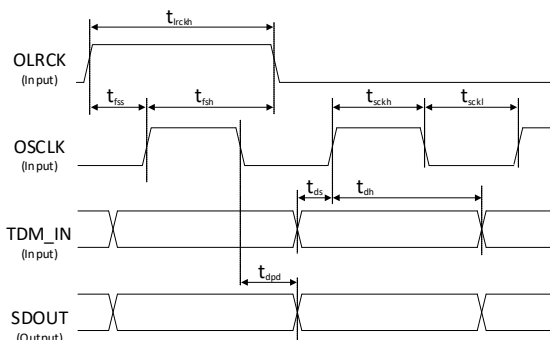


图 2. TDM 从模式时序

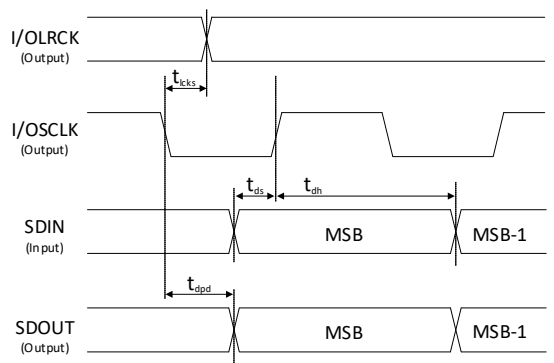


图 3. 非 TDM 主模式时序

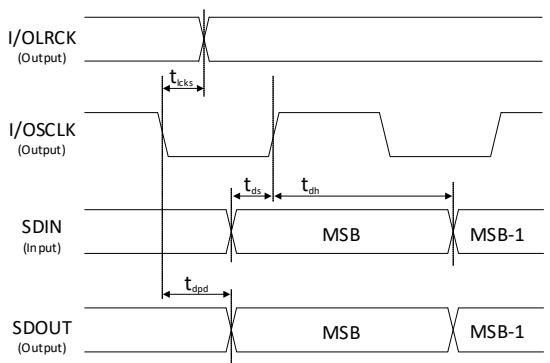


图 4. TDM 主模式时序

转换特性-控制端口-SPI模式

输入：逻辑 0 = 0 V，逻辑 1 = VL； $C_L = 20 \text{ pF}$ 。

参数	符号	最小值	最大值	单位
CCLK 时钟频率	f_{sck}	0	6.0	MHz
$\overline{\text{RST}}$ 上升沿到 $\overline{\text{CS}}$ 下降沿	t_{srs}	500		μs
CCLK 边沿到 $\overline{\text{CS}}$ 下降沿 ¹³	t_{spi}	500		ns
传输间隔 $\overline{\text{CS}}$ 高电平时间	t_{csh}	1.0		μs
$\overline{\text{CS}}$ 下降沿到 CCLK 边沿	t_{css}	20		ns
CCLK 低电平时间	t_{scl}	66		ns
CCLK 高电平时间	t_{sch}	66		ns
CDIN 到 CCLK 上升沿的建立时间	t_{dsu}	40		ns

参数	符号	最小值	最大值	单位
CCLK 上升沿到 DATA 的保持时间 ¹⁴	t_{dh}	15		ns
CCLK 下降沿到 CDOUT 有效 ¹⁵	t_{scdov}		100	ns
\overline{CS} 下降沿到 CDOUT 高阻的时间	t_{cscdo}		100	ns
CDOUT 上升沿时间	t_{r1}		25	ns
CDOUT 下降沿时间	t_{f1}		25	ns
CCLK 和 CDIN 上升沿时间 ¹⁶	t_{r2}		100	ns
CCLK 和 CDIN 下降沿时间 ¹⁶	t_{f2}		100	ns

注：13. t_{spi} 仅在 \overline{RST} 上升沿后的第一个 \overline{CS} 下降沿需要。其他时间 $t_{spi} = 0$ 。

14. 数据必须保持足够的时间来桥接 CCLK 的转换时间。

15. CDOUT 在此期间不应处于采用状态。

16. $f_{sck} < 1\text{MHz}$ 。

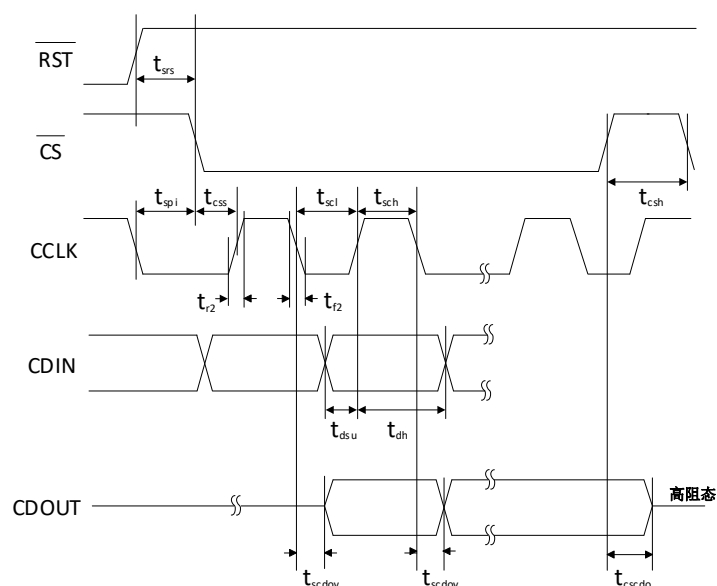
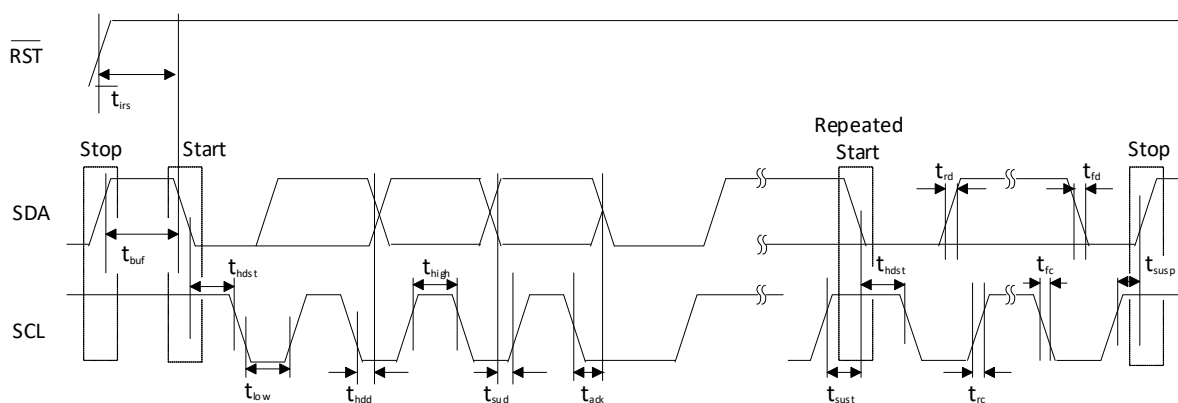


图 5. SPI 模式时序

转换特性-控制端口-I²C模式输入：逻辑 0 = 0 V，逻辑 1 = VL；C_L = 20 pF。

参数	符号	最小值	最大值	单位
SCLK 时钟频率	f_{scl}		100	kHz
$\overline{\text{RST}}$ 上升沿到起始	t_{irs}	500		μs
转换期间总线空闲时间	t_{buf}	4.7		μs
起始条件保持时间（第一个时钟脉冲前）	t_{hdst}	4.0		μs
时钟低电平时间	t_{low}	4.7		μs
时钟高电平时间	t_{high}	4.0		μs
重复起始条件的建立时间	t_{sust}	4.7		μs
SCL 下降沿到 SDA 的保持时间 ¹⁷	t_{hdd}	10		ns
SDA 到 SCL 上升沿的建立时间	t_{sud}	250		ns
SCL 和 SDA 的上升时间	t_{rc}, t_{rd}		1000	ns
SCL 和 SDA 的下降时间	t_{fc}, t_{fd}		300	ns
结束条件的建立时间	t_{susp}	4.7		μs
SCL 下降沿到应答的延时	t_{ack}	300	1000	ns

注 17：数据必须保持足够的时间，来桥接 SCL 上的转换时间 t_{fc} 。图 6. I²C 模式时序

典型应用图

1. 软件模式

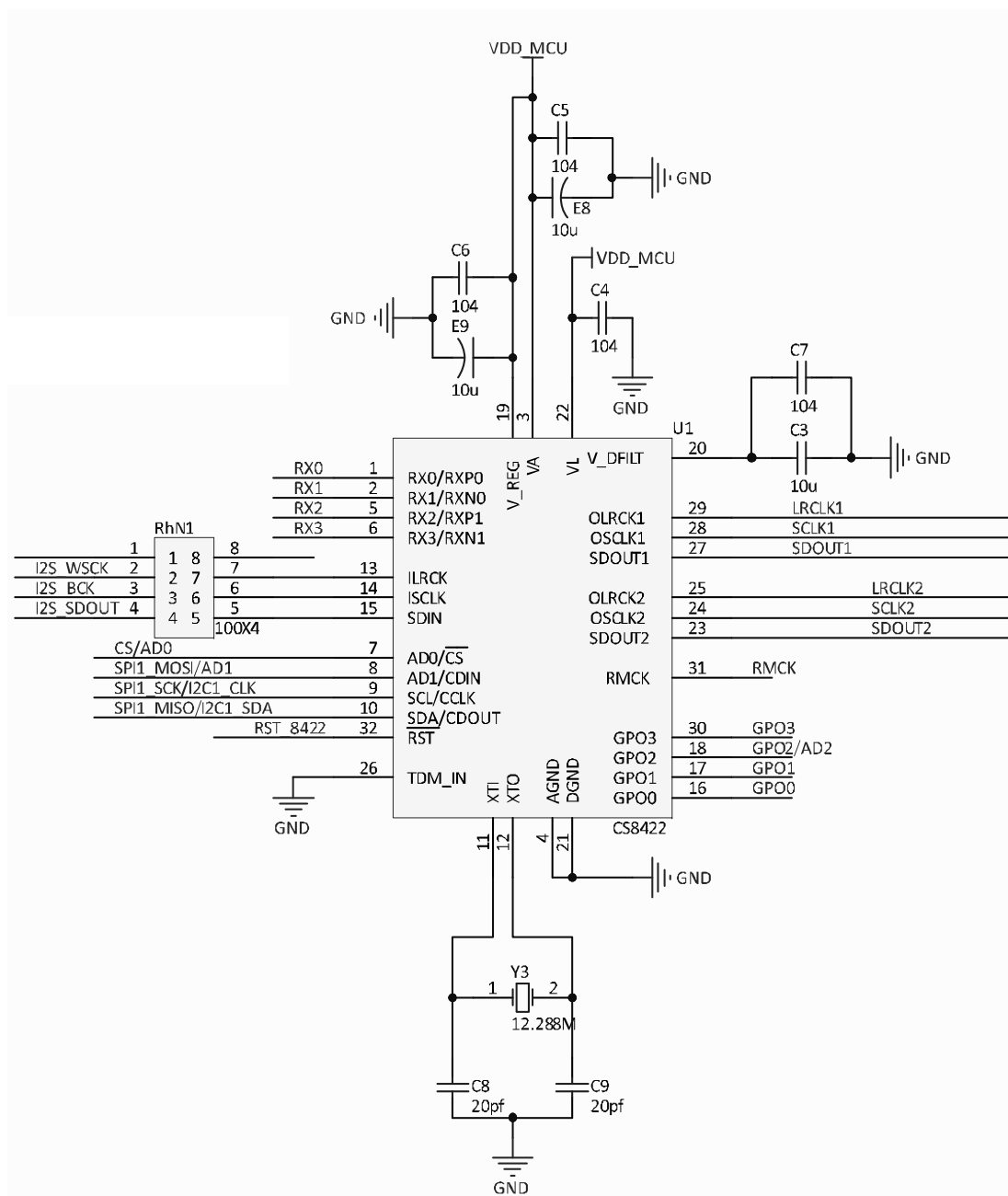


图 7. 软件模式下典型连接图

2. 硬件模式

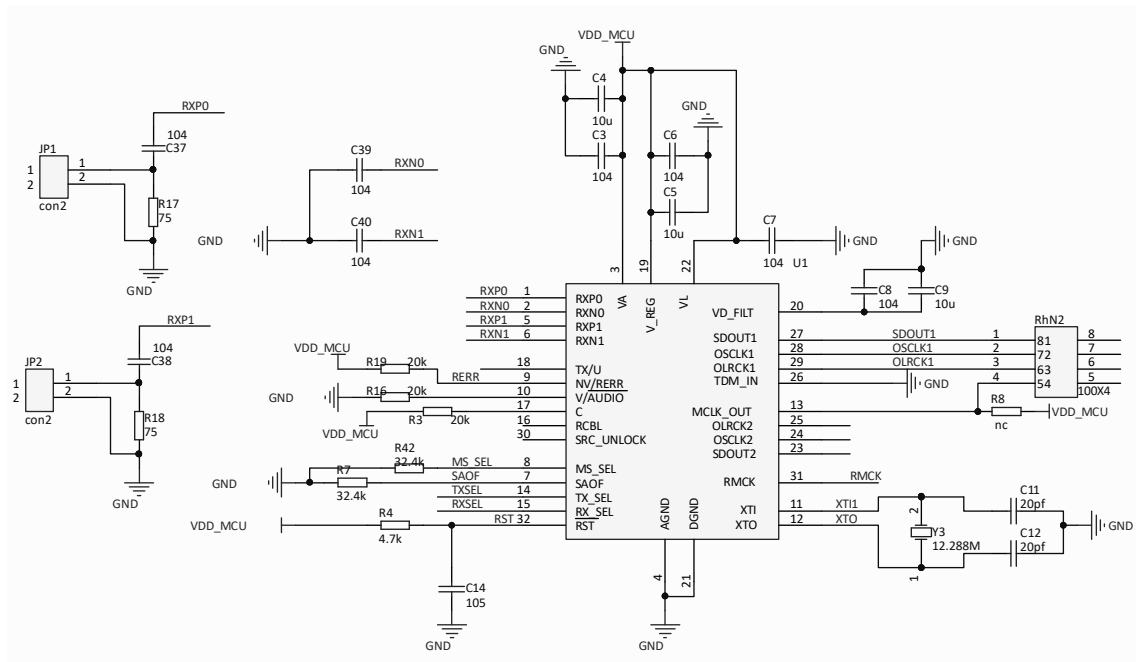
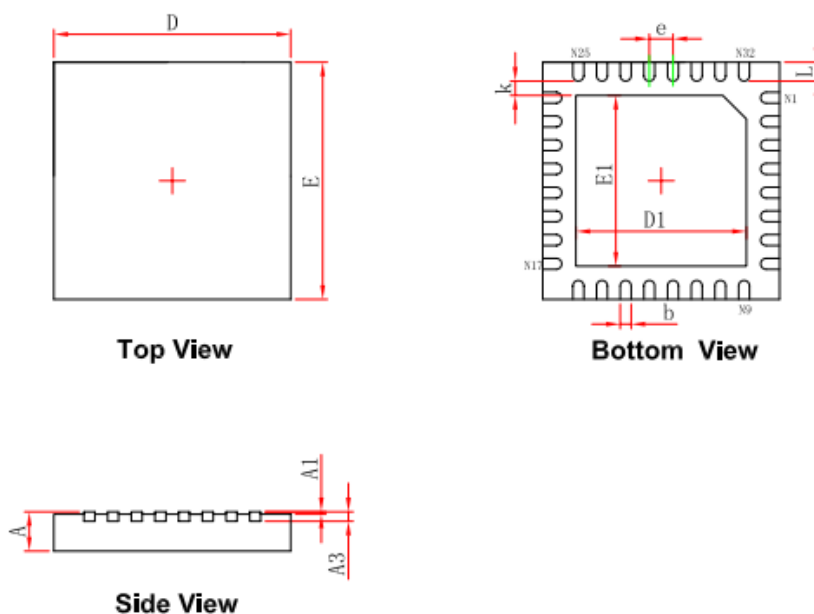


图 8. 硬件模式下典型连接图

封装外形图

QFN32（背部带散热片）



符号	尺寸（毫米）		尺寸（英寸）	
	最小	最大	最小	最大
A	0.700/0.800	0.800/0.900	0.028/0.031	0.031/0.035
A1	0.000	0.050	0.000	0.002
A3	0.203REF		0.008REF	
D	4.924	5.076	0.194	0.200
E	4.924	5.076	0.194	0.200
D1	3.300	3.500	0.130	0.138
E1	3.300	3.500	0.130	0.138
k	0.200MIN		0.008MIN	
b	0.180	0.300	0.007	0.012
e	0.500TYP		0.020TYP	
L	0.324	0.476	0.013	0.019

印章与包装规范

1. 印章内容介绍



产品型号：MS8422N

生产批号：XXXXXXX

2. 印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

3. 包装规范说明

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS8422N	QFN32	1000	8	8000	4	32000

声明

- 瑞盟保留说明书的更改权，恕不另行通知！客户在下单前应获取最新版本资料，并验证相关信息是否完整。
- 在使用瑞盟产品进行系统设计和整机制造时，买方有责任遵守安全标准并采取相应的安全措施，以避免潜在失败风险可能造成的人身伤害或财产损失！
- 产品提升永无止境，本公司将竭诚为客户提供更优秀的产品！

**MOS电路操作注意事项**

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-571-89966911



杭州市滨江区伟业路 1 号
高新软件园 9 号楼 701 室

[http:// www.relmon.com](http://www.relmon.com)