

## 2.7V 到 5.5V、12/14/16Bit、内置基准、八通道数模转换器

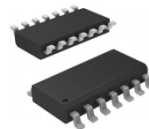
### 产品简述

MS5228/MS5248/MS5268 是一款 12/14/16bit 八通道输出的电压型 DAC，内部集成上电复位电路、可选内部基准、接口采用四线串口模式，最高工作频率可以到 40MHz，可以兼容 SPI、QSPI、DSP 接口和 Microwire 串口。输出接到一个 AB 类的输出放大器。MS5228/5248/5268 具有掉电模式，可以优化工作时的功耗。

MS5228 有 TSSOP14、TSSOP16、QFN16、WLCSP16 封装，MS5248 有 TSSOP14、TSSOP16 封装，MS5268 有 TSSOP16、QFN16、WLCSP16 封装。

### 主要特点

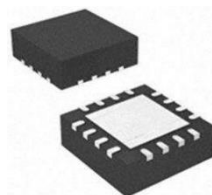
- MS5268: 16bits
- MS5248: 14bits
- MS5228: 12bits
- 内部基准电压温漂: 10ppm/°C (典型值)
- 集成内部可选 1.25V、2.5V 基准
- 兼容 SPI、QSPI、DSP 接口和 Microwire 串口
- 内部上电复位
- 集成 REF 缓冲器
- 输出范围是 2 倍的基准电压 (内置基准)
- 输出范围是 1 倍的基准电压 (外置基准)
- 软件、硬件  $\overline{\text{LDAC}}$  功能
- 硬件  $\overline{\text{CLR}}$  功能
- 软件 Power down
- 电源电压: 2.7V~5.5V



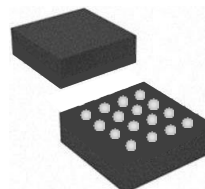
TSSOP14



TSSOP16



QFN16



WLCSP16

### 应用

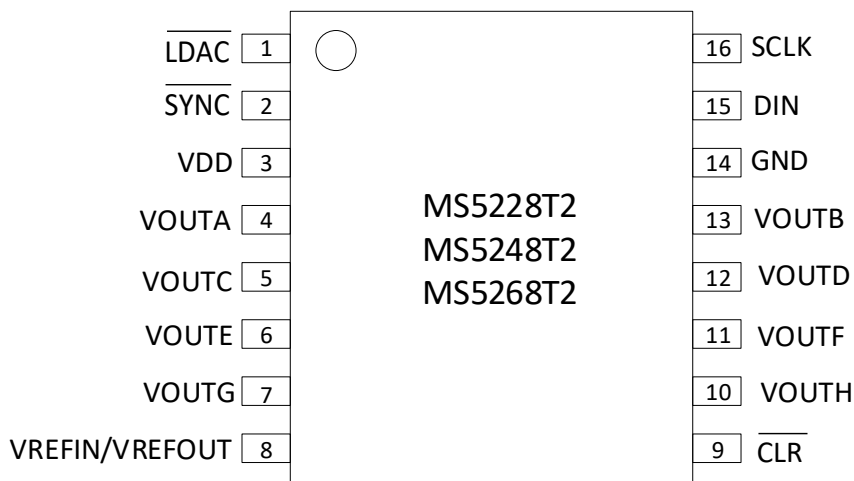
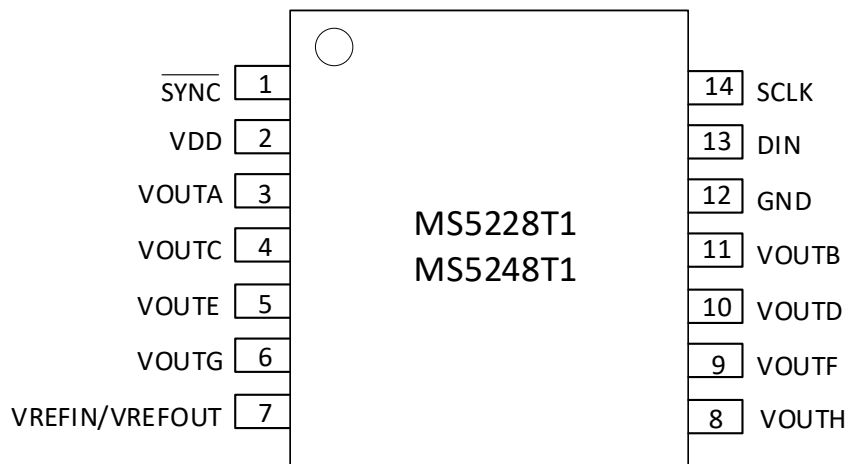
- 便携式仪器仪表
- 工业过程控制
- 机械和移动控制设备
- 可编程电压源和电流源

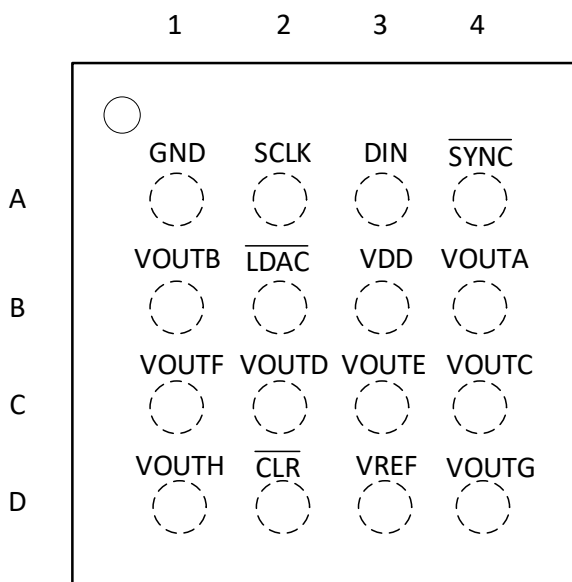
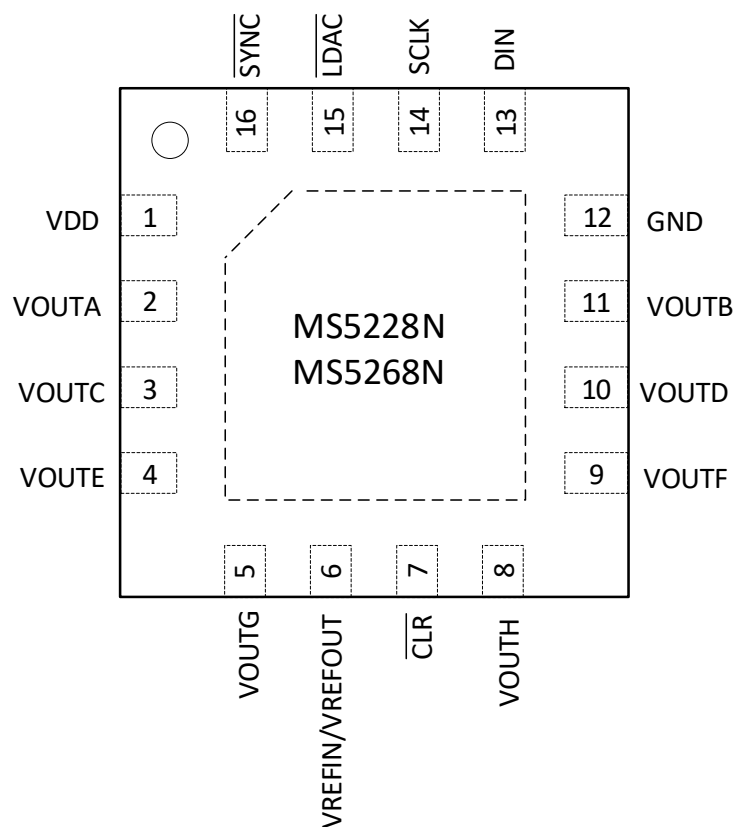
## 产品规格分类

产品名称	封装形式	内置基准电压	默认上电输出电压	丝印名称
*MS5228T1-1	TSSOP14	1.25V	0V	MS5228T1
*MS5228T1-2	TSSOP14	2.5V	0V	MS5228T1
*MS5228T2-1	TSSOP16	1.25V	0V	MS5228T2
*MS5228T2-2	TSSOP16	2.5V	0V	MS5228T2
*MS5228N-1	QFN16	1.25V	0V	MS5228N
*MS5228N-2	QFN16	2.5V	0V	MS5228N
*MS5228C-1	WLCSP16	1.25V	0V	MS5228C
*MS5228C-2	WLCSP16	2.5V	0V	MS5228C
*MS5248T1-1	TSSOP14	1.25V	0V	MS5248T1
*MS5248T1-2	TSSOP14	2.5V	0V	MS5248T1
*MS5248T2-1	TSSOP16	1.25V	0V	MS5248T2
*MS5248T2-2	TSSOP16	2.5V	0V	MS5248T2
MS5268T2-1	TSSOP16	1.25V	0V	MS5268T2
MS5268T2-2	TSSOP16	2.5V	0V	MS5268T2
MS5268T2-3	TSSOP16	2.5V	0.5×FSR	MS5268T2
*MS5268N-1	QFN16	1.25V	0V	MS5268N
*MS5268N-2	QFN16	2.5V	0V	MS5268N
*MS5268N-3	QFN16	2.5V	0.5×FSR	MS5268N
MS5268C-1	WLCSP16	1.25V	0V	MS5268C
MS5268C-2	WLCSP16	2.5V	0V	MS5268C
MS5268C-3	WLCSP16	2.5V	0.5×FSR	MS5268C

\*暂未提供此封装。若有需要，请联系杭州瑞盟销售中心

管脚图





MS5228C/MS5268C

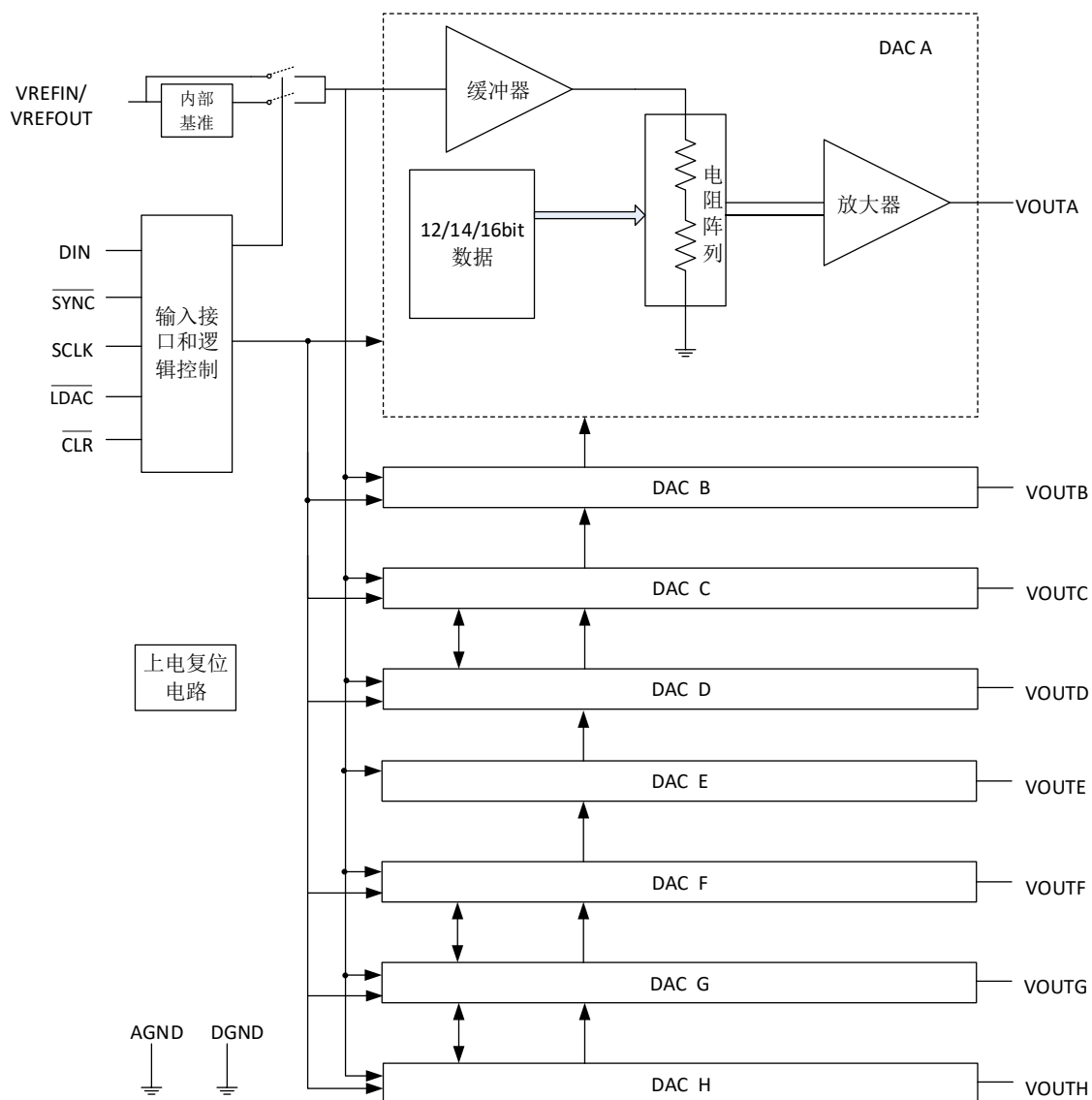
## 管脚说明

管脚编号	管脚名称	管脚属性	管脚描述
<b>MS5228T1/MS5248T1</b>			
1	$\overline{\text{SYNC}}$	I	SPI 接口的帧同步管脚，下降沿使能内部 SCLK 和 DIN 输入缓冲器和移位寄存器，后 32 个时钟输入数据；如果在 32 个时钟前拉高， $\overline{\text{SYNC}}$ 的上升沿将用作中断
2	VDD	-	电源
3	VOUTA	O	通道 A 模拟输出
4	VOUTC	O	通道 C 模拟输出
5	VOUTE	O	通道 E 模拟输出
6	VOUTG	O	通道 G 模拟输出
7	VREFIN/VREFOUT	I/O	外部基准输入端口/内部基准输出端口
8	VOUTH	O	通道 H 模拟输出
9	VOUTF	O	通道 F 模拟输出
10	VOUTD	O	通道 D 模拟输出
11	VOUTB	O	通道 B 模拟输出
12	GND	-	地
13	DIN	I	SPI 接口的数据输入管脚
14	SCLK	I	SPI 接口时钟输入管脚
<b>MS5228T2/MS5248T2/MS5268T2</b>			
1	$\overline{\text{LDAC}}$	I	DAC 输出实时更新控制端口，低电平有效
2	$\overline{\text{SYNC}}$	I	SPI 接口的帧同步管脚，下降沿使能内部 SCLK 和 DIN 输入缓冲器和移位寄存器，后 32 个时钟输入数据；如果在 32 个时钟前拉高， $\overline{\text{SYNC}}$ 的上升沿将用作中断
3	VDD	-	电源
4	VOUTA	O	通道 A 模拟输出
5	VOUTC	O	通道 C 模拟输出
6	VOUTE	O	通道 E 模拟输出
7	VOUTG	O	通道 G 模拟输出
8	VREFIN/VREFOUT	I/O	外部基准输入端口/内部基准输出端口

管脚编号	管脚名称	管脚属性	管脚描述
9	$\overline{\text{CLR}}$	I	异步清零输入，低电平有效
10	VOUTH	O	通道 H 模拟输出
11	VOUTF	O	通道 F 模拟输出
12	VOUTD	O	通道 D 模拟输出
13	VOUTB	O	通道 B 模拟输出
14	GND	-	地
15	DIN	I	SPI 接口的数据输入管脚
16	SCLK	I	SPI 接口时钟输入管脚
<b>MS5228N/MS5268N</b>			
1	VDD	-	电源
2	VOUTA	O	通道 A 模拟输出
3	VOUTC	O	通道 C 模拟输出
4	VOUTE	O	通道 E 模拟输出
5	VOUTG	O	通道 G 模拟输出
6	VREFIN/VREFOUT	I/O	外部基准输入端口/内部基准输出端口
7	$\overline{\text{CLR}}$	I	异步清零输入，低电平有效
8	VOUTH	O	通道 H 模拟输出
9	VOUTF	O	通道 F 模拟输出
10	VOUTD	O	通道 D 模拟输出
11	VOUTB	O	通道 B 模拟输出
12	GND	-	地
13	DIN	I	SPI 接口的数据输入管脚
14	SCLK	I	SPI 接口时钟输入管脚
15	$\overline{\text{LDAC}}$	I	DAC 输出实时更新控制端口，低电平有效
16	$\overline{\text{SYNC}}$	I	SPI 接口的帧同步管脚，下降沿使能内部 SCLK 和 DIN 输入缓冲器和移位寄存器，后 32 个时钟输入数据；如果在 32 个时钟前拉高， $\overline{\text{SYNC}}$ 的上升沿将用作中断

管脚编号	管脚名称	管脚属性	管脚描述
MS5228C/MS5268C			
B3	VDD	--	电源
B4	VOUTA	O	通道 A 模拟输出
C4	VOUTC	O	通道 C 模拟输出
C3	VOUTE	O	通道 E 模拟输出
D4	VOUTG	O	通道 G 模拟输出
D3	VREFIN/VREFOUT	I/O	外部基准输入端口/内部基准输出端口
D2	$\overline{\text{CLR}}$	I	异步清零输入，低电平有效
D1	VOUTH	O	通道 H 模拟输出
C1	VOUTF	O	通道 F 模拟输出
C2	VOUTD	O	通道 D 模拟输出
B1	VOUTB	O	通道 B 模拟输出
A1	GND	--	地
A3	DIN	I	SPI 接口的数据输入管脚
A2	SCLK	I	SPI 接口时钟输入管脚
B2	$\overline{\text{LDAC}}$	I	DAC 输出实时更新控制端口，低电平有效
A4	$\overline{\text{SYNC}}$	I	SPI 接口的帧同步管脚，下降沿使能内部 SCLK 和 DIN 输入缓冲器和移位寄存器，后 32 个时钟输入数据；如果在 32 个时钟前拉高， $\overline{\text{SYNC}}$ 的上升沿将用作中断。

## 内部框图





## 极限参数

芯片使用中，任何超过极限参数的应用方式会对器件造成永久的损坏，芯片长时间处于极限工作状态可能会影响器件的可靠性。极限参数只是由一系列极端测试得出，并不代表芯片可以正常工作在此极限条件下。

参数	符号	参数范围	单位
电源电压	$V_{DD}$	-0.3 ~ +7	V
输入数字电压范围	$V_{IN}$	-0.3 ~ $V_{DD}+0.3$	V
基准输入电压范围	$V_{REFIN}$	-0.3 ~ $V_{DD}+0.3$	V
工作温度范围	$T_A$	-40 ~ +125	°C
存储温度范围	$T_{STG}$	-65 ~ +150	°C
最大结温	$T_{JMAX}$	150	°C
焊接温度(10s)		260	°C
ESD (HBM)	$V_{ESD}$	±4000	V

## 推荐工作条件

参数	测试条件	最小值	典型值	最大值	单位
电源电压	5V 供电	4.5	5	5.5	V
	3V 供电 <sup>1</sup>	2.7	3	3.3	
数字输入高电平( $V_{IH}$ )	$V_{DD} = 3V$	2			V
	$V_{DD} = 5V$	2			
数字输入低电平( $V_{IL}$ )	$V_{DD} = 3V$			0.8	V
	$V_{DD} = 5V$			0.8	
SCLK 速率				40	MHz

注 1：采用内部基准时，建议选择 1.25V，否则会导致大的 DAC 输入码时输出饱和。

## 电气参数

### 静态 DAC 参数

参数	测试条件	最小值	典型值	最大值	单位
分辨率	MS5228		12		Bits
	MS5248		14		
	MS5268		16		
微分非线性(DNL)	MS5228, 见注 1		±0.5	±1	LSB
	MS5248, 见注 1		±0.5	±1	
	MS5268, 见注 1		±0.5	±1	
积分非线性(INL)	MS5228, 见注 2		±0.5	±4	LSB
	MS5248, 见注 2		±2	±8	
	MS5268, 见注 2		±8	±32	
零点失调	见注 3		7	20	mV
零点失调温漂	见注 4		10		ppm/°C
增益误差	见注 5			±1	%of FS Voltage
增益误差温漂	见注 6		12		ppm/°C
PSRR	零点	见注 7 和注 8	-80		dB
	满幅		-80		dB

注：1. 微分非线性(DNL)即微分误差，指毗邻 LSB 的最大幅度变化。

2. 积分非线性(INL)即线性误差，测试条件是  $1/128 \times \text{FSR}$  到  $127/128 \times \text{FSR}$  的数字码输入。

3. 零点失调指数字输入为零时的模拟输出。

4. 零点失调温漂指数字输入为零时，模拟输出随温度的变化。

5. 增益误差指除去零点失调之后，模拟输出和理想输出的偏差。

6. 增益误差温漂指除去零点失调之后，模拟输出和理想输出的偏差随温度的变化。

7. 零点电源抑制比指当数字输入全零时，VDD 变化  $5 \pm 0.5 \text{ V}$  和  $3 \pm 0.3 \text{ V}$  导致输出的变化比。

8. 满幅输出电源抑制比指数字输入全高时，VDD 变化  $5 \pm 0.5 \text{ V}$  和  $3 \pm 0.3 \text{ V}$  导致输出的变化比。

### DAC 输出参数

参数	测试条件	最小值	典型值	最大值	单位
输出电压	$R_L=10\text{k}\Omega$	0		$V_{DD}$	V
直流输出阻抗			8		$\Omega$
短路电流	$V_{DD}=5\text{V}$		32		mA
上电时间	退出关断模式， $V_{DD}=5\text{V}$		4		$\mu\text{s}$

### 内部基准电压输出参数

参数	测试条件	最小值	典型值	最大值	单位
输出电压	1.25V@25°C	1.247	1.25	1.253	V
	2.5V@25°C	2.495	2.5	2.505	
输出阻抗			8		kΩ
温度漂移			10		ppm/°C
开启建立时间	C <sub>REF</sub> =10μF		150		ms

### 参考输入电压参数

参数	测试条件	最小值	典型值	最大值	单位
输入电压范围	见注 9	0		V <sub>DD</sub>	V
输入电阻			14.4		kΩ

注 9：基准输入电压超过 V<sub>DD</sub>/2 会带来输出饱和失真。

### 数字输出参数

参数	测试条件	最小值	典型值	最大值	单位
数字输入高电平电流	V <sub>I</sub> =V <sub>DD</sub>			±3	μA
数字输入低电平电流	V <sub>I</sub> =0V			±3	μA
输入电容			3		pF

### 功耗参数

参数	测试条件		最小值	典型值	最大值	单位
电源电流	5V 供电，输出无负载，所有输入接 0V 或 V <sub>DD</sub> ，全部通道开启	开启内部基准		2.6	3.1	mA
		关断内部基准		2.2	2.7	
	3V 供电，输出无负载，所有输入接 0V 或 V <sub>DD</sub> ，全部通道开启	开启内部基准		1.8	2.3	mA
		关断内部基准		1.1	1.6	
掉电电流	V <sub>DD</sub> =5V			0.47	1	μA
	V <sub>DD</sub> =3V			0.16	1	

### 模拟输出动态参数

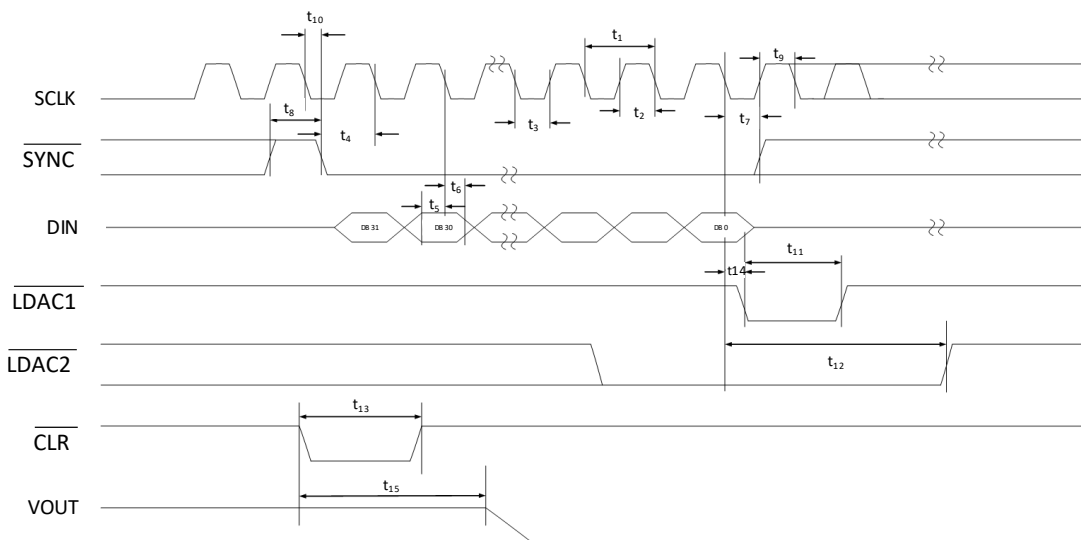
参数	测试条件	最小值	典型值	最大值	单位
SR	C <sub>L</sub> =100pF, R <sub>L</sub> =10kΩ, V <sub>O</sub> =10%到 90%, V <sub>REF</sub> =2.048, 1.024		1.4		V/μs
T <sub>S</sub>	到±0.5LSB, C <sub>L</sub> =100pF, R <sub>L</sub> =10kΩ		2.2	7	V/μs

参数	测试条件	最小值	典型值	最大值	单位
毛刺能量	从 7FFF 到 8000, $V_{DD}=5V$		8		nV-sec
	从 EA00 到 E9FF, $V_{DD}=5V$		37		
模拟串扰	$V_{DD}=5V$		0.5		nV-sec
通道串扰	$V_{DD}=5V$		0.8		nV-sec
乘法带宽	$V_{REF}=2V\pm0.2V_{p-p}$		340		kHz
输出噪声谱密度	数字码=0x8400 (16bit 精度), 1kHz		110		nV/ $\sqrt{Hz}$
	数字码=0x8400 (16bit 精度), 10kHz		90		

#### 控制端口-SPI

参数	符号	最小值	典型值	最大值	单位
SCLK 周期时间	t1	25			ns
SCLK 高电平时间	t2	10			ns
SCLK 低电平时间	t3	10			ns
$\overline{SYNC}$ 到 SCLK 下降沿建立时间	t4	14			ns
数据建立时间	t5	5			ns
数据保持时间	t6	5			ns
SCLK 下降沿到 $\overline{SYNC}$ 上升沿	t7	0			ns
最小 $\overline{SYNC}$ 高电平时间	t8	15			ns
$\overline{SYNC}$ 上升沿到 SCLK 忽略的下降沿	t9	14			ns
SCLK 下降沿到 $\overline{SYNC}$ 忽略的下降沿	t10	0			ns
$\overline{LDAC}$ 低电平脉冲宽度	t11	12			ns
SCLK 下降沿到 $\overline{LDAC}$ 上升沿	t12	17			ns
$\overline{CLR}$ 低电平脉冲宽度	t13	6			ns
SCLK 下降沿到 $\overline{LDAC}$ 下降沿	t14	0			ns
$\overline{CLR}$ 脉冲启动时间	t15		300		ns

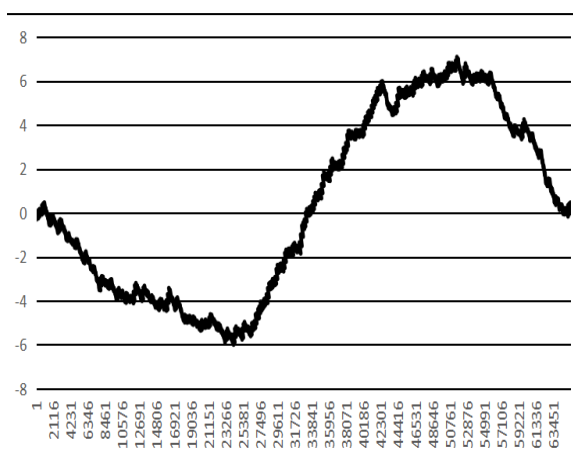
# 串口写操作时序图



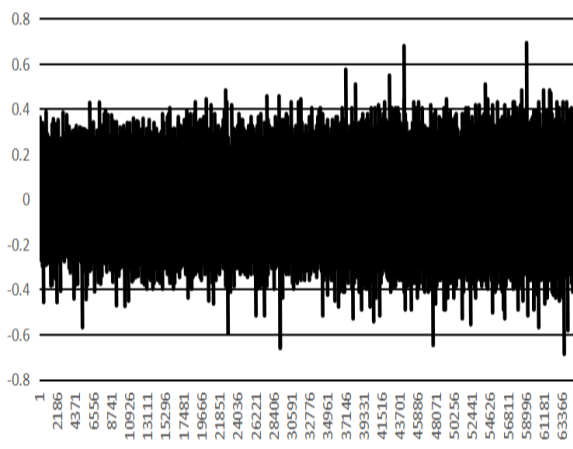
LDAC1 : 异步LDAC更新模式  
LDAC2 : 同步LDAC更新模式

## 典型曲线图

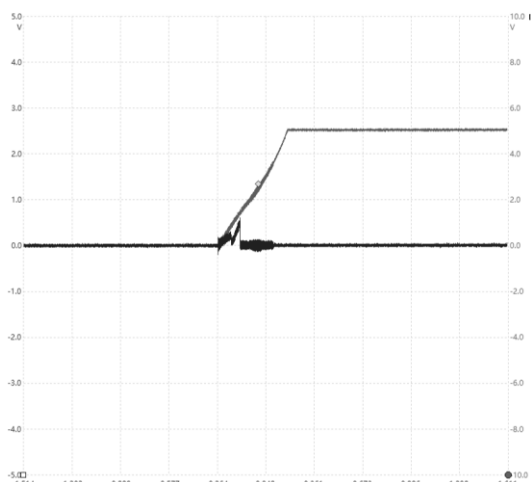
$V_{DD}=5V$ ,  $T_A=25^{\circ}C$



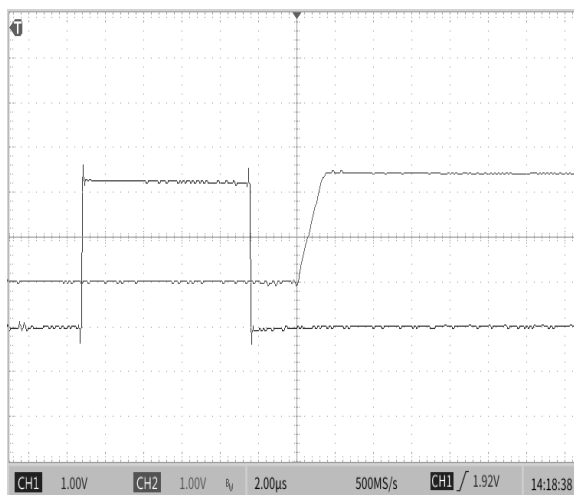
MS5268 INL (@外部基准 5V)



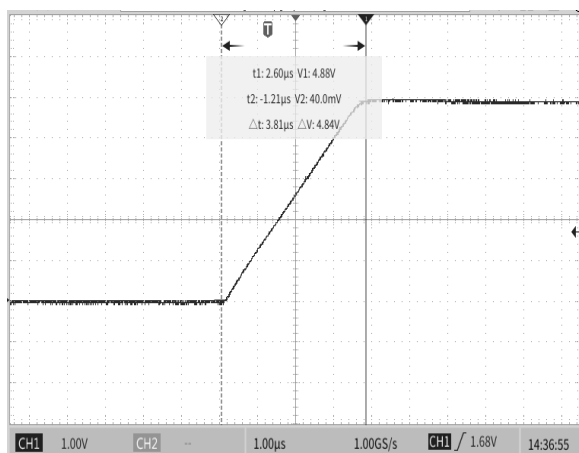
MS5268 DNL (@外部基准 5V)



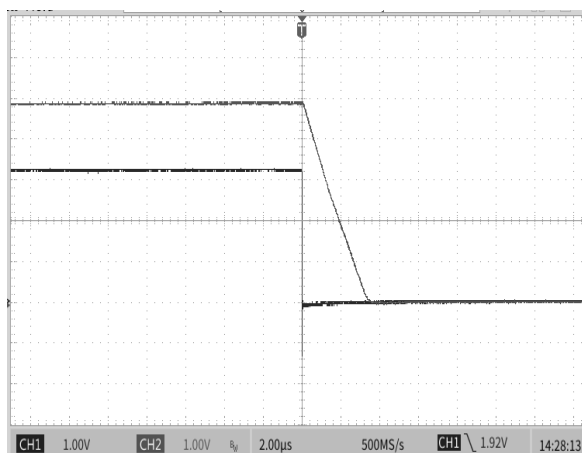
上电复位至 0V



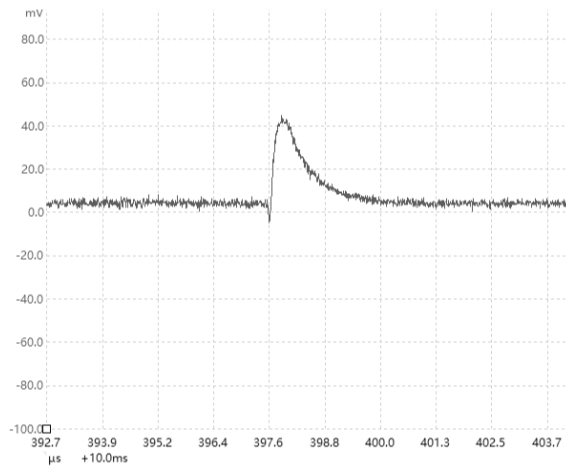
退出掉电模式进入中间电平



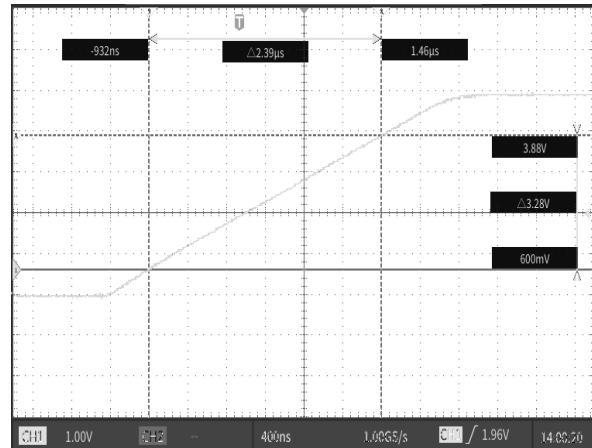
满量程建立时间



硬件 CLR



数模转换毛刺脉冲



MS5268 SR 图 (@ $C_L=10\text{pF}$ )

## 功能描述

### 总体功能

MS5228/MS5248/MS5268 是一个 12/14/16bit 单电源、带可选内部基准的数模转换器，其架构采用电阻阵列结构，集成了串行接口、速率和关断逻辑控制、基准输入缓冲器、电阻串和输出轨到轨放大器。

内置基准时，输出电压可以表示为：

$$V_{OUT} = 2 \times \frac{V_{REF} \times D}{2^n}$$

其中 MS5228 时，n=12；MS5248 时，n=14；MS5268 时，n=16。

外置基准时，输出电压可以表示为：

$$V_{OUT} = \frac{V_{REF} \times D}{2^n}$$

其中 MS5228 时，n=12；MS5248 时，n=14；MS5268 时，n=16。

### 上电

MS5228/MS5248/MS5268 内部集成了上电复位功能，为了保证芯片正常工作，VDD 上电速率应不低于 10V/ms，VDD 上电后，第一次 SPI 通讯须延迟 8ms。

### 基准电压

MS5228/MS5248/MS5268 可通过内部寄存器设置选择内部基准或外部基准，内部基准根据芯片版本有 1.25V 和 2.5V。当使用内部基准时，推荐在 VREF 端和 GND 之间使用 100nF 去耦电容。

### 串行接口

MS5268（16 位），MS5248（14 位），MS5228（12 位）有相同的 3 线串行接口（ $\overline{SYNC}$ ，DIN，SCLK），支持包括 SPI，QSPI，MICROWIRE 在内的多种协议，同时也支持部分 DSP 串口协议。

当  $\overline{SYNC}$  变为低电平后，启动写操作，数据由 DIN 端在 32 个 SCLK 下降沿写入移位寄存器，最后一位数据写入后判断功能，并进行后续操作。在写操作期间， $\overline{SYNC}$  必须保持低电平，写入完成后可继续保持低电平，也可以拉高，但在下一次写数据前，必须先保持 15ns 以上的高电平，才能正常工作。

空闲期间建议把  $\overline{SYNC}$  拉低以减少功耗。

C3-C0 是命令位，A3-A0 是地址位。

表 1. 命令定义

命令位				功能描述
C3	C2	C1	C0	
0	0	0	0	写入地址选定的输入寄存器
0	0	0	1	更新地址选定的 DAC 寄存器（优先级高于 $\overline{LDAC}$ 端口配置）
0	0	1	0	写入地址选定的输入寄存器，并更新所有 DAC 寄存器（ $\overline{LDAC}=0$ 可做到即时更新所有寄存器）（优先级高于 $\overline{LDAC}$ 端口配置）



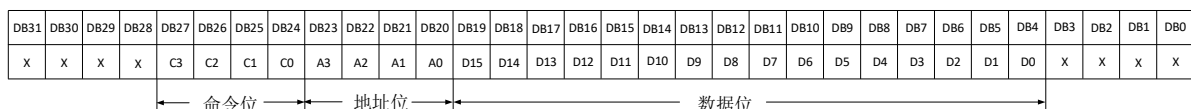
命令位				功能描述
0	0	1	1	写入地址选定的输入寄存器，且只更新地址选定的 DAC 寄存器（优先级高于 $\overline{\text{LDAC}}$ 端口配置）
0	1	0	0	DAC 的上电/掉电
0	1	0	1	加载清零编码器
0	1	1	0	加载 $\overline{\text{LDAC}}$ 寄存器数据
0	1	1	1	复位（上电复位）
1	0	0	0	设置内部基准电压
1	0	0	1	保留
....				保留
1	1	1	1	保留

表 2. 地址命令

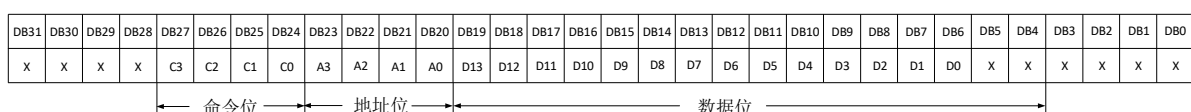
地址位				选择的 DAC 通道
A3	A2	A1	A0	
0	0	0	0	DAC A
0	0	0	1	DAC B
0	0	1	0	DAC C
0	0	1	1	DAC D
0	1	0	0	DAC E
0	1	0	1	DAC F
0	1	1	0	DAC G
0	1	1	1	DAC H
1	1	1	1	所有 DAC

### 输入移位寄存器

输入移位寄存器的功能如图 1 所示：



MS5268



MS5248

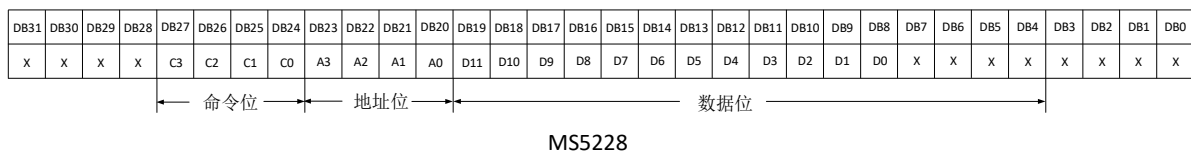


图 1. 输入寄存器

## SYNC 中断

写操作中，在输入 32 位数据期间， $\overline{\text{SYNC}}$  须保持低电平，在第 32 个 SCLK 的下降沿会进行功能判断并把数据传递给 DAC 寄存器，如果提早拉高  $\overline{\text{SYNC}}$ ，输入会被强制终止，此段数据会被认为无效（参见图 2）。

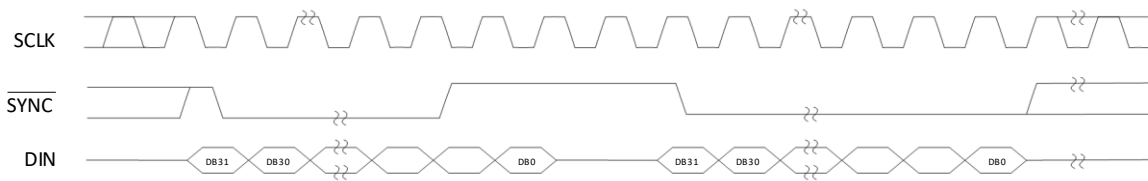


图 2.  $\overline{\text{SYNC}}$  中断方式图

## 内部基准电压寄存器

在默认情况下，芯片关闭内部基准电压。内部 REF 寄存器的 DB0 位设为高电平或低电平，可以开启或关闭内部基准电压源，命令 1000 用于内部 REF 寄存器的设置（参见表 3，表 4）。

表 3. 内部基准寄存器

DB0	操作
0	关闭内部基准电压（默认状态）
1	开启内部基准电压

MSB

表 4. 基准设置指令

DB31~DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19~DB1	DB0
									1	
X	1	0	0	0	X	X	X	X	X	1/0
无关位									无关位	内部基准电压控制

## 上电复位

上电复位功能是在上电时控制输出电压的值。MS5228/MS5248/MS5268 的 DAC 在上电后输出 0V。上电的电平输出会一直持续，直到运行有效的写命令。命令 0111 可控制 DAC 输出上电默认值（参见表 1）。

上电复位期间，忽略  $\overline{\text{LDAC}}$  和  $\overline{\text{CLR}}$  的变化。

## 掉电模式

用命令 0100 可通过输入的其中两位（DB9 和 DB8）选择四种工作模式，对应关系参见表 5，图 3 显示了输出电路示意图。

DB7~DB0 可控制相应的 DAC 通道开启/关闭（参见表 6）。内部基准电压仅在所有通道全部关断时才关断。

表 5. 关断工作模式

DB9	DB8	工作模式
0	0	正常工作
0	1	掉电模式，DAC 输出对地接 1kΩ 电阻
1	0	掉电模式，DAC 输出对地接 100kΩ 电阻
1	1	掉电模式，DAC 输出高阻

MSB

表 6. 关断/上电功能的 32 位输入移位寄存器内容

DB31~DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19~DB10
X	0	1	0	0	X	X	X	X	X
无关位	C3-C0 命令位				A3-A0 地址位				无关位

DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
PD1	PD0	DAC H	DAC G	DAC F	DAC E	DAC D	DAC C	DAC B	DAC A
掉电模式		上电/关断通道选择，如果相应位设为 1，可选择相应通道							

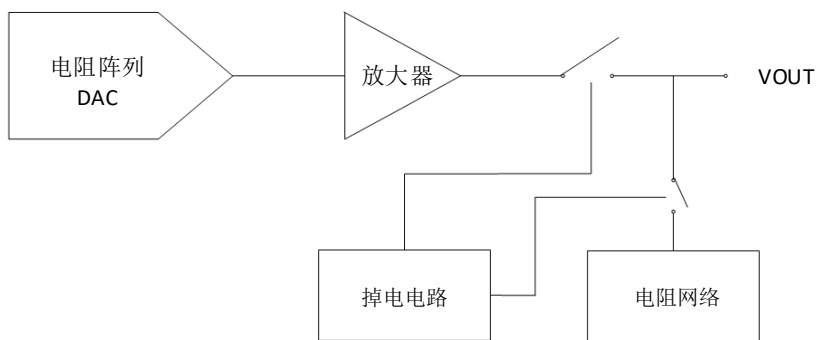


图 3. 输出电路

## 清零编码寄存器

MS5228/MS5248/MS5268 有一个硬件异步清零输入引脚  $\overline{\text{CLR}}$ ， $\overline{\text{CLR}}$  下降沿有效。命令 0101 选择配置清零后 DAC 状态，共有四种状态可选（参见表 7）。

改变 0101 命令输入时的 DB1, DB0，就能对清零后的值进行配置（参见表 8）。进入清零编码配置模式，器件将在下一次写操作的第 32 个下降沿退出。如果  $\overline{\text{CLR}}$  在写操作期间有效，写操作将被中止。

表 7. 清零编码寄存器

清零编码寄存器		清零编码
DB1(CR1)	DB0(CR0)	
0	0	0x0000
0	1	0x8000
1	0	0xFFFF
1	1	无操作

表 8. 清零编码功能的 32 位输入移位寄存器内容

DB31~DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19~DB2	DB1	DB0
X	0	1	0	1	X	X	X	X	X	CR1	CR0
无关位	C3-C0 命令位				A3-A0 地址位				无关位	清零编码寄存器	

## LDAC 功能

MS5228/MS5248/MS5268 DAC 有双缓冲接口，由输入寄存器和 DAC 寄存器这两组寄存器构成。输入寄存器直接连接 DAC 寄存器，在完成一组有效的数字代码写入后，数据被写入输入寄存器。DAC 寄存器包含电阻串使用的数字代码。

对 DAC 寄存器的访问由  $\overline{\text{LDAC}}$  控制。当  $\overline{\text{LDAC}}$  引脚为高时，DAC 寄存器锁存，输入寄存器可以改变状态，但不会影响 DAC 寄存器；当  $\overline{\text{LDAC}}$  引脚为低，输入寄存器的值传输到 DAC 寄存器。如果用户需要同时更新多个 DAC 通道输出，可以在  $\overline{\text{LDAC}}$  引脚为高的情况下，写入一个输入寄存器，然后在写入另一个输入寄存器时，把  $\overline{\text{LDAC}}$  引脚拉低，就能实现。

MS5228/MS5248/MS5268 还包含一个功能，即除非输入寄存器自从上次  $\overline{\text{LDAC}}$  拉低以来有更新，否则 DAC 寄存器不更新，以消除不必要的数字串扰。

更新分为硬件和软件两种模式，在硬件更新模式下，也分为同步和异步  $\overline{\text{LDAC}}$ 。

硬件同步  $\overline{\text{LDAC}}$ ：写入新数据的第 32 个 SCLK 的下降沿，如果此时  $\overline{\text{LDAC}}$  为低电平，则自动更新所有 DAC 通道。 $\overline{\text{LDAC}}$  可以永久接为低电平。

硬件异步  $\overline{\text{LDAC}}$ ：DAC 输出不在新数据写入时更新，直到  $\overline{\text{LDAC}}$  变为低电平时，DAC 寄存器更新为写入的相应值。

软件更新可以只更新选定的多个 DAC 寄存器，也可以同时更新所有 DAC。如果输入寄存器对应通道的  $\overline{\text{LDAC}}$  位(DB7~DB0)配置为 1，则写入完成后，自动更新 DAC 寄存器；如果  $\overline{\text{LDAC}}$  位配置为 0，则是否更新取决于  $\overline{\text{LDAC}}$  引脚（参见表 9，表 10）。

表 9.  $\overline{\text{LDAC}}$  寄存器

加载 DAC 寄存器		
$\overline{\text{LDAC}}$ 位 (DB7~DB0)	$\overline{\text{LDAC}}$ 引脚	$\overline{\text{LDAC}}$ 操作
0	1/0	由 $\overline{\text{LDAC}}$ 引脚决定
1	X (无关位)	选择的 DAC 寄存器会在新数据写入后自动更新

MSB

表 10.  $\overline{\text{LDAC}}$  寄存器功能的 32 位输入移位寄存器内容

DB31~DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19~DB8
X	0	1	1	0	X	X	X	X	X
无关位	C3-C0 命令位				A3-A0 地址位				无关位

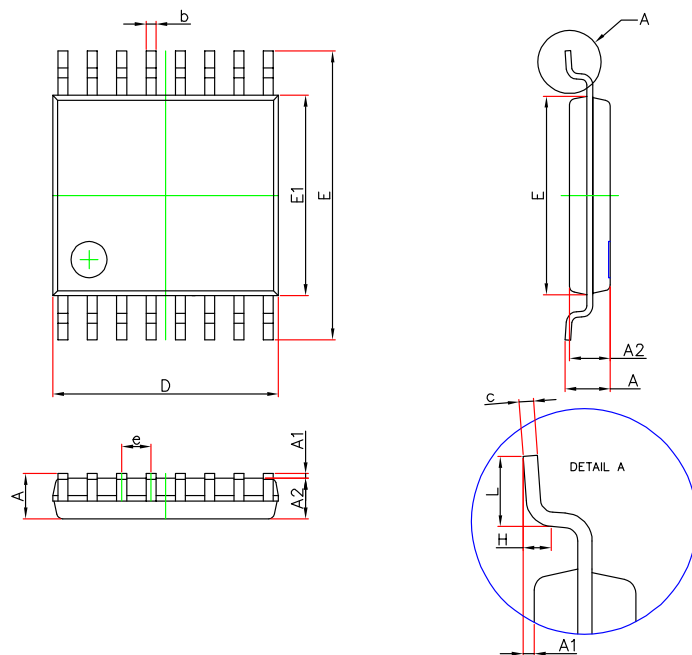
DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DAC H	DAC G	DAC F	DAC E	DAC D	DAC C	DAC B	DAC A
$\overline{\text{LDAC}}$ 位设为 1 将覆盖 $\overline{\text{LDAC}}$ 引脚							

#### 电源供电旁路和地管理

PCB 应将模拟地和数字地分开，建议模拟地连接在系统的模拟地，以提高系统性能。一个 0.1 $\mu\text{F}$  的陶瓷电容旁路应该接在 VDD 和 GND 之间，并且放置在离芯片尽可能近的地方，若使用磁珠，可进一步减少数字电源对模拟电源的干扰。

## 封装外形图

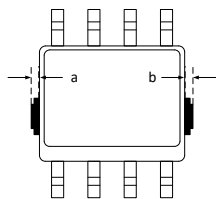
## TSSOP16



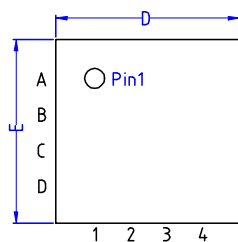
符号	尺寸（毫米）		尺寸（英寸）	
	最小值	最大值	最小值	最大值
A	-	1.200	-	0.047
A1	0.050	0.150	0.002	0.006
A2	0.800	1.000	0.031	0.039
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
D	4.900	5.100	0.193	0.201
E	6.250	6.550	0.246	0.258
E1	4.300	4.500	0.169	0.177
e	0.650(BSC)		0.026(BSC)	
L	0.500	0.700	0.020	0.028
H	0.250(TYP)		0.010(TYP)	
θ	1°	7°	1°	7°

注：在封装尺寸外，允许 a、b 同时有最大 0.15mm 的废胶尺寸。

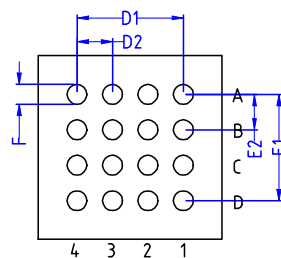
示意图如下：以 SOP8 封装为例



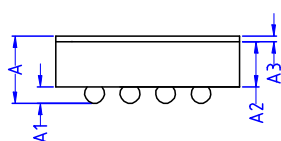
## WLCSP16



TOP VIEW  
Ball Down



BOTTOM VIEW  
Ball Up

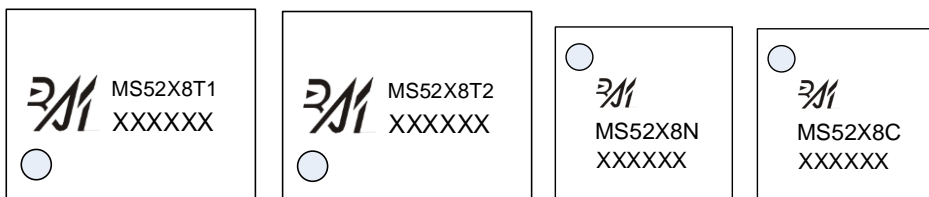


SIDE VIEW

符号	尺寸（毫米）	
	典型值	公差
A	0.595	±0.0375
A1	0.236	±0.020
A2	0.319	±0.0125
A3	0.04	±0.005
D	2.565	±0.04
E	2.565	±0.04
F	0.319	±0.020
D1	1.5	NA
D2	0.5	NA
E1	1.5	NA
E2	0.5	NA

## 印章与包装规范

## 1. 印章内容介绍



产品型号：MS52X8T1（X 代表 2，4）；MS52X8T2（X 代表 2，4，6）；

MS52X8N（X 代表 2，6）；MS52X8C（X 代表 2，6）

生产批号：XXXXXX

## 2. 印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

## 3. 包装规范说明

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS5228T1-1	TSSOP14	3000	1	3000	8	24000
MS5228T1-2	TSSOP14	3000	1	3000	8	24000
MS5228T2-1	TSSOP16	3000	1	3000	8	24000
MS5228T2-2	TSSOP16	3000	1	3000	8	24000
MS5228N-1	QFN16	4000	1	4000	8	32000
MS5228N-2	QFN16	4000	1	4000	8	32000
MS5228C-1	WLCSP16	3000	1	3000	8	24000
MS5228C-2	WLCSP16	3000	1	3000	8	24000
MS5248T1-1	TSSOP14	3000	1	3000	8	24000
MS5248T1-2	TSSOP14	3000	1	3000	8	24000
MS5248T2-1	TSSOP16	3000	1	3000	8	24000
MS5248T2-2	TSSOP16	3000	1	3000	8	24000
MS5268T2-1	TSSOP16	3000	1	3000	8	24000
MS5268T2-2	TSSOP16	3000	1	3000	8	24000
MS5268T2-3	TSSOP16	3000	1	3000	8	24000
MS5268N-1	QFN16	4000	1	4000	8	32000
MS5268N-2	QFN16	4000	1	4000	8	32000
MS5268N-3	QFN16	4000	1	4000	8	32000
MS5268C-1	WLCSP16	3000	1	3000	8	24000
MS5268C-2	WLCSP16	3000	1	3000	8	24000
MS5268C-3	WLCSP16	3000	1	3000	8	24000



## 声明

- 瑞盟保留说明书的更改权，恕不另行通知！客户在下单前应获取最新版本资料，并验证相关信息是否完整。
- 在使用瑞盟产品进行系统设计和整机制造时，买方有责任遵守安全标准并采取相应的安全措施，以避免潜在失败风险可能造成的人身伤害或财产损失！
- 产品提升永无止境，本公司将竭诚为客户提供更优秀的产品！



### MOS电路操作注意事项

静电在很多地方都会产生，采取下面的预防措施，可以有效防止MOS电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-571-89966911



杭州市滨江区伟业路 1 号  
高新软件园 9 号楼 701 室



[http:// www.relmon.com](http://www.relmon.com)