

高分辨率模数转换器

主要特点

- SNR: 122dB (@250SPS, PGA=1)
- THD: -118dB
- 正常工作功耗: 21mW (PGA=1,2,4,8)
- 掉电模式功耗: 10 μ W
- 低噪声 PGA: 5 nV/ $\sqrt{\text{Hz}}$
- 集成双通道多路输入选择器
- 可配置数字滤波器
- 数据转换速率: 250SPS 至 4kSPS
- 失调和增益校准
- 同步 SYNC 输入控制
- 模拟电源电压: 5V 或 $\pm 2.5\text{V}$
- 数字电源电压: 1.8V 至 3.3V
- 最大工作温度范围: -40°C 至 125°C

产品简述

MS5583N 是一款高分辨率模数转换器，内部集成高阶 Σ - Δ 调制器、低噪声可编程增益放大器、多路输入选择器和多种内部数字滤波器。其转换速率从 250SPS 到 4kSPS。此外，芯片内部集成失调校准寄存器和增益校准寄存器。

MS5583N 采用 QFN24 封装，其额定工作温度为 -40°C 至 +85°C，最大工作温度范围为 -40°C 至 +125°C。

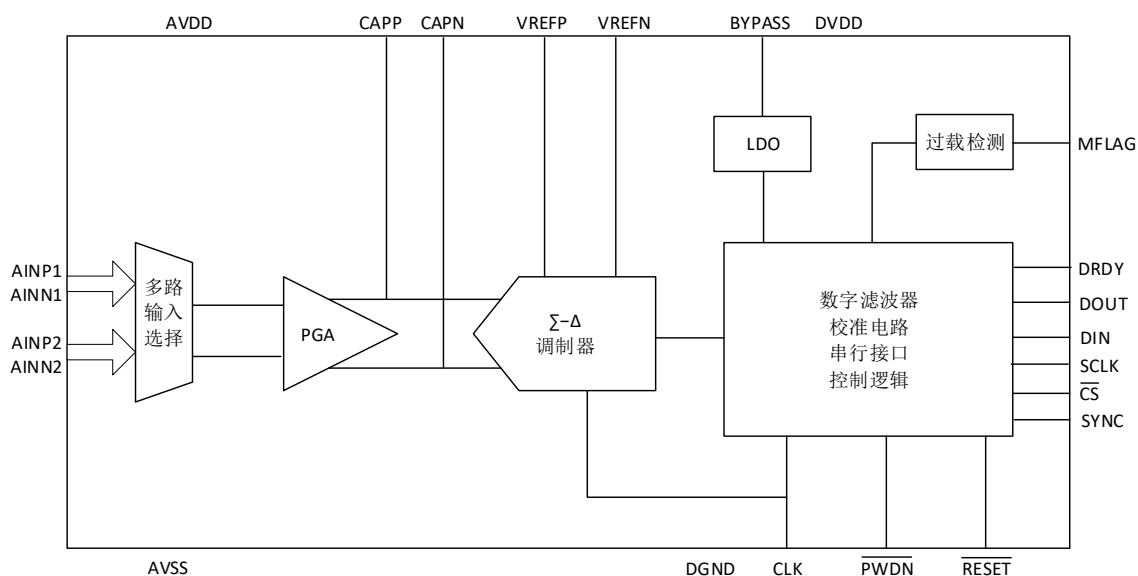
应用

- 能量检测
- 地震波检测
- 高精度仪器仪表

产品规格分类

产品	封装形式	丝印名称
MS5583N	QFN24	MS5583N

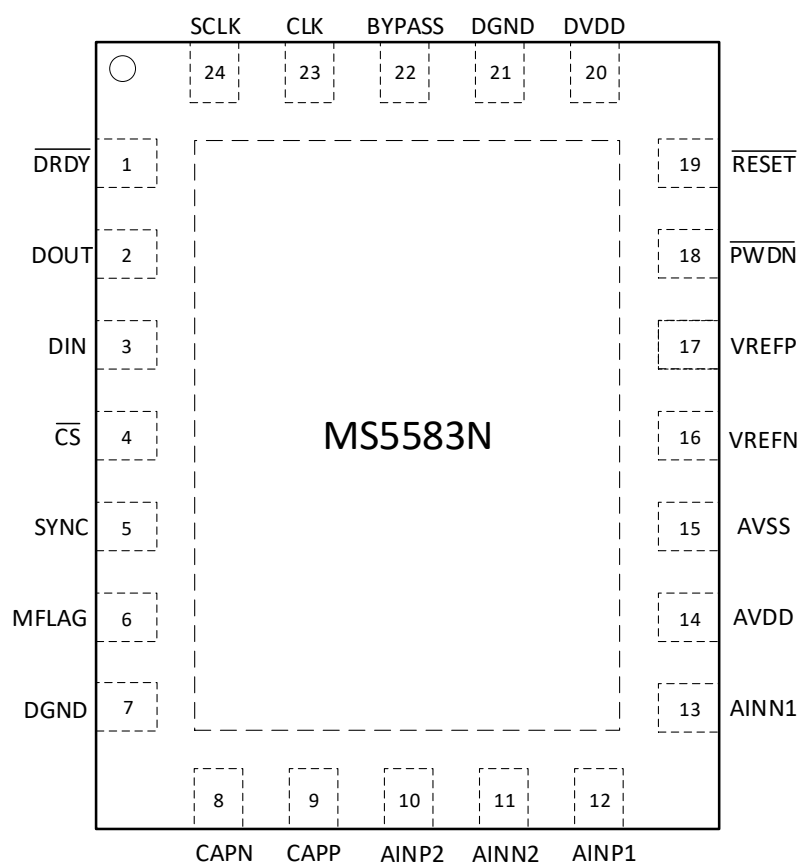
内部框图



目录

1. 主要特点.....	1	14.9 同步转换.....	14
2. 产品简述.....	1	14.9.1 单次同步模式.....	15
3. 应用.....	1	14.9.2 连续同步模式.....	16
4. 产品规格分类.....	1	14.10 复位.....	16
5. 内部框图.....	1	14.11 掉电.....	17
6. 目录.....	2	14.12 休眠.....	17
7. 管脚图.....	3	14.13 上电.....	17
8. 管脚说明.....	4	14.14 数字接口.....	17
9. 极限参数.....	5	14.15 数据结构.....	18
10. 电气参数.....	6	14.16 单次转换操作.....	18
11. 时序参数.....	9	14.17 失调和增益校准寄存器.....	18
12. 开关参数.....	9	14.17.1 失调校准指令.....	18
13. 输入等效噪声和信噪比.....	10	14.17.2 增益校准指令.....	18
14. 功能描述.....	12	14.17.3 用户校准.....	19
14.1 概述.....	12	14.18 指令.....	19
14.2 模拟输入通道.....	12	14.19 寄存器地址图.....	21
14.3 模拟输入 PGA.....	12	15. 典型应用图.....	24
14.4 时钟源.....	13	16. 封装外形图.....	25
14.5 调制器.....	13	17. 印章与包装规范.....	26
14.6 偏移.....	13	18. 声明.....	27
14.7 数字滤波器.....	13	19. MOS 电路操作注意事项.....	28
14.8 主时钟输入 CLK.....	14		

管脚图



管脚说明

管脚编号	管脚名称	管脚属性	管脚描述
1	$\overline{\text{DRDY}}$	O	数据转换结果有效标识，低电平有效。
2	DOUT	O	串行数据输出。
3	DIN	I	串行数据输入。
4	$\overline{\text{CS}}$	I	片选输入，低电平有效。
5	SYNC	I	转换同步输入，上升沿有效。
6	MFLAG	O	调制器溢出标识，0 表示正常；1 表示调制器溢出。
7	DGND	-	数字地
8	CAPN	IO	PGA 输出，接 10nF 电容到 CAPP。
9	CAPP	IO	PGA 输出，接 10nF 电容到 CAPN。
10	AINP2	I	模拟通道 2 正输入。
11	AINN2	I	模拟通道 2 负输入。
12	AINP1	I	模拟通道 1 正输入。
13	AINN1	I	模拟通道 1 负输入。
14	AVDD	-	模拟电源正电压。
15	AVSS	-	模拟电源负电压。
16	VREFN	I	参考电压负输入。
17	VREFP	I	参考电压正输入。
18	$\overline{\text{PWDN}}$	I	掉电输入控制，低电平有效。
19	$\overline{\text{RESET}}$	I	上电复位控制，低电平有效。
20	DVDD	-	数字电源。
21	DGND	-	数字地。
22	BYPASS	IO	1.8V LDO 输出，外接 1 μ F 电容到 DGND。
23	CLK	I	主时钟输入(4.096MHz)
24	SCLK	I	串行时钟输入

极限参数

芯片使用中，任何超过极限参数的应用方式会对器件造成永久的损坏，芯片长时间处于极限工作状态可能会影响器件的可靠性。极限参数只是由一系列极端测试得出，并不代表芯片可以正常工作在此极限条件下。

参 数	符号	额定值	单位
AVDD 到 AVSS		-0.3 ~ +5.5	V
AVSS 到 DGND		-2.8 ~ 0.3	V
DVDD 到 DGND		-0.3 ~ +3.9	V
模拟输入电压范围	A _{IN}	AVSS-0.3 ~ AVDD+0.3	V
数字输入电压范围		-0.3 ~ DVDD+0.3	V
输入电流		-10 ~ 10	mA
最大工作温度范围		-40 ~ 125	°C
储存温度范围	T _{stg}	-60 ~ 150	°C
ESD 电压(HBM)		±1000	V

电气参数

额定温度-40°C到 +85°C；典型温度25°C，AVDD=2.5V，AVSS=-2.5V；DVDD=3.3V，VREFP=2.5V，VREFN=-2.5V，PGA=1，f_{clk}=4.096MHz，OFFSET bit=1（使能），CHOP bit=1（使能）和f_{DATA}=1000SPS（除非另外标注）。

参数	测试条件	最小值	典型值	最大值	单位
电源					
模拟负电源(AVSS)		-2.6		0	V
模拟正电源(AVDD)		AVSS+4.75		AVSS+5.25	V
数字电源(DVDD)		2.7		3.6	V
温度					
额定温度		-40		85	°C
模拟输入					
差分输入电压	VIN= AINP - AINN	$\pm VREF / (2 \times PGA)$			V
差分输入阻抗	斩波使能		1		GΩ
	斩波关闭		100		
共模输入阻抗			1		GΩ
AINP或AINN		AVSS+0.7		AVDD-1.25	V
输入电流			1		nA
输入串扰	f=31.25Hz		-135		dB
PGA输入电压噪声密度			5		nV / $\sqrt{\text{Hz}}$
多路输入选择器开关阻抗			30		Ω
参考电压输入					
参考电压VREF=VREFP-VREFN		1	5	(AVDD-AVSS)+0.2	V
VREFP电压		VREFN+1		AVDD+0.1	V
VREFN电压		AVSS-0.1		VREFP-1	V
参考输入阻抗			65		kΩ
数字输入/输出					
输入高电平		0.8×DVDD		DVDD	V
输入低电平		DGND		0.2×DVDD	V
输出高电平	I _{OH} =1mA	0.8×DVDD			V
输出低电平	I _{OL} =1mA			0.2×DVDD	V

参数	测试条件	最小值	典型值	最大值	单位
输入时钟频率(f_{clk})		1	4.096	10	MHz
串行接口时钟频率(f_{sclk})				$f_{clk}/2$	MHz
PGA输出					
PGA输出范围		AVSS+0.4		AVDD-0.4	V
差分输出阻抗			560		Ω
输出阻抗冗余			$\pm 10\%$		
外加旁路电容	使用NPO或COG高压电容		10	100	nF
直流特性					
精度			31		Bits
转换速率(f_{DATA})	FIR滤波器模式	250		4000	SPS
	Sinc滤波器模式	8000		128000	
输入零点偏移	OFFSET设置关闭		± 50	± 200	μV
	OFFSET设置关闭, 斩波关闭		300		μV
	OFFSET设置开启	95/PGA	100/PGA	105PGA	mV
		70/PGA	75/PGA	80/PGA	
校准后零点偏移			1		μV
零点偏移温漂	斩波关闭		0.3		$\mu V/^{\circ}C$
	斩波开启		5		$\mu V/^{\circ}C$
增益误差		-1.5%	-1.0%	-0.5%	
增益匹配			0.3%	0.8%	
校准后增益误差			0.02%		
增益误差温漂	PGA=1		20		ppm/ $^{\circ}C$
	PGA=16		115		
CMRR	60Hz, 1.25V _{PP}	95	120		dB
	50Hz, 1.25V _{PP}	95	120		dB
PSRR	50/60 Hz, 100mV _{PP} , AVDD, AVSS	80	85		dB
	50/60 Hz, 100mV _{PP} , DVDD	90	100		

参数	测试条件	最小值	典型值	最大值	单位
交流特性					
SNR	信噪比 ¹	99	120		dB
THD ²	PGA=1,2,4,8,16		-118	-113	dB
	PGA=32		-110		dB
	PGA=64		-105		dB
数字滤波器响应					
通带纹波				±0.003	dB
通带(-0.01dB)		0.375×f _{DATA}			Hz
带宽(-3dB)		0.413×f _{DATA}			Hz
高通滤波转折频率(f _{HP})		0.1		10	Hz
阻带衰减		135			dB
阻带			0.5×f _{DATA}		Hz
群延时	最小相位滤波器		5/f _{DATA}		s
	线性相位滤波器		31/f _{DATA}		
建立时间	最小相位滤波器		62/f _{DATA}		s
	线性相位滤波器		62/f _{DATA}		
功耗					
模拟电源电流 AVDD=2.5V AVSS=-2.5V	PGA=1,2,4,8		3.8	5.5	mA
	PGA=16,32,64		4.9	7	mA
	休眠模式 ³		1	5	μA
	掉电模式 ³		1	5	μA
数字电源电流 DVDD=3.3V	正常工作模式		0.5	0.8	mA
	休眠模式 ³		22	40	μA
	掉电模式 ³		0.5	1	μA
功耗	PGA=1,2,4,8		21	30	mW
	PGA=16,32,64		25	38	mW
	休眠模式 ³		70	100	μW
	掉电模式 ³		5	15	uW

注：1. 设置为内部 400Ω 短路，参考“模拟输入通道”说明。

2. 输入信号=31.25Hz，-0.5dBFS。

3. 关闭时钟 CLK 输入。

时序参数

DVDD=1.65V 到 3.6V，DGND=0V。除非另外标注，参数为全温度范围。

参数	描述	最小值	典型值	最大值	单位
t_{CSSC}	\overline{CS} 下降沿到SCLK第一个上升沿建立时间	40			ns
t_{SCCS}	SCLK最后一个上升沿到 \overline{CS} 上升沿延时	24			t_{CLK}^1
t_{CSH}	\overline{CS} 高电平脉冲宽度	100			ns
t_{SCLK}	SCLK周期	2		16	t_{CLK}^1
$t_{SPWH, L}$	SCLK高或低电平脉冲宽度 ⁽²⁾	0.8		10	t_{CLK}^1
t_{DIST}	DIN有效到SCLK上升沿建立时间	50			ns
t_{DIHD}	SCLK上升沿到DIN有效保持时间	50			ns

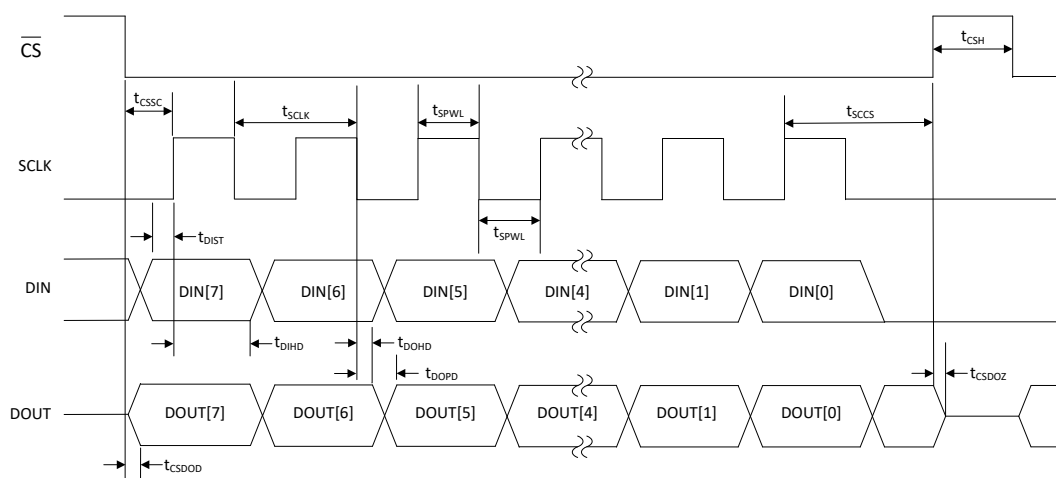
注：1. 系统时钟 $t_{CLK} = 1 / f_{CLK}$ ，默认时钟频率 $f_{CLK} = 4.096 \text{ MHz}$ 。

2. 保持 SCLK 为低电平，并经过 64 个 \overline{DRDY} 下降沿后重置串行接口。

开关参数

除非另外标注，参数为全温度范围。

参数	描述	测试条件	最小值	典型值	最大值	单位
t_{DOPD}	SCLK上升沿到DOUT有效传输延时	DOUT负载 = 20 pF 100 k Ω			100	ns
t_{DOHD}	SCLK下降沿到DOUT有效保持时间		0			ns
t_{PWH}	\overline{CS} 下降沿到DOUT有效传输延时				60	ns
t_{CSDOZ}	\overline{CS} 上升沿到DOUT高阻态传输延时				40	t_{CLK}



串行接口时序

输入等效噪声和信噪比

下表给出一些转换速率和 PGA 增益设置下的 MS5583N 的信噪比和输入等效均方根噪声。

斩波使能, VREF=5V, SNR¹(dB)

转换速率	PGA增益1	PGA增益2	PGA增益4	PGA增益8	PGA增益16	PGA增益32	PGA增益64
250	123	123	123	122	120	116	111
500	122	122	121	120	118	113	108
1000	119	120	119	117	115	111	105
2000	117	117	116	115	113	108	102
4000	114	114	114	112	110	105	99

斩波使能, VREF=5V, 输入等效噪声 (μV RMS)

转换速率	PGA增益1	PGA增益2	PGA增益4	PGA增益8	PGA增益16	PGA增益32	PGA增益64
250	1.202	0.601	0.323	0.180	0.106	0.088	0.075
500	1.431	0.742	0.388	0.226	0.136	0.119	0.112
1000	1.878	0.936	0.500	0.310	0.191	0.163	0.151
2000	2.494	1.270	0.679	0.408	0.257	0.227	0.216
4000	3.453	1.752	0.918	0.573	0.367	0.327	0.311

斩波关闭, VREF=5V, SNR¹(dB)

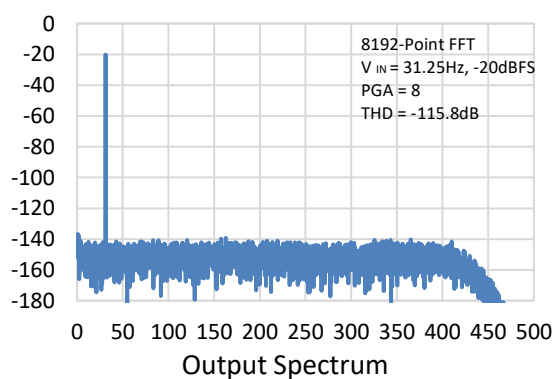
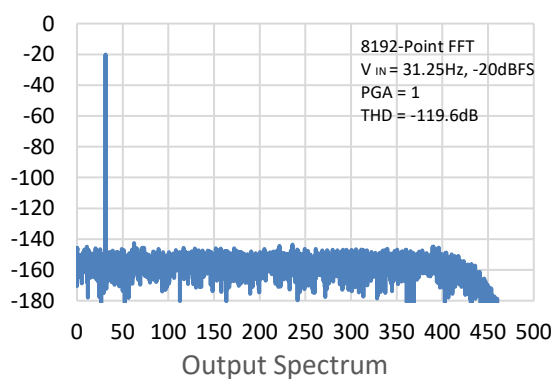
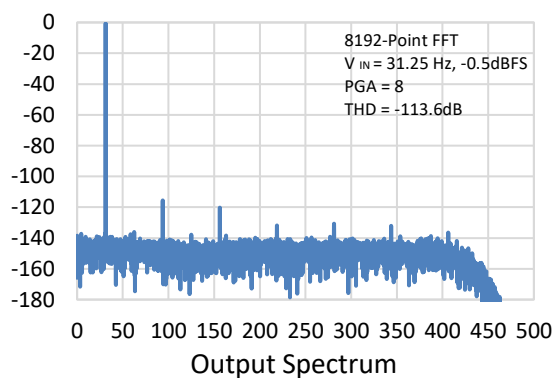
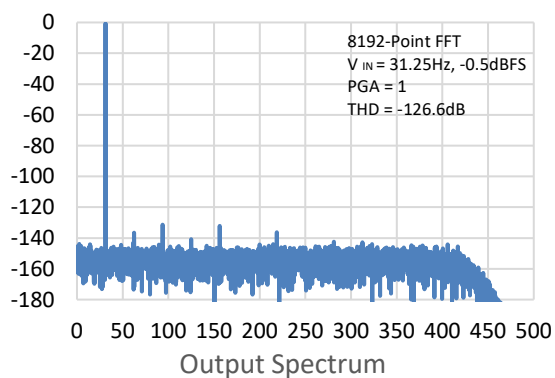
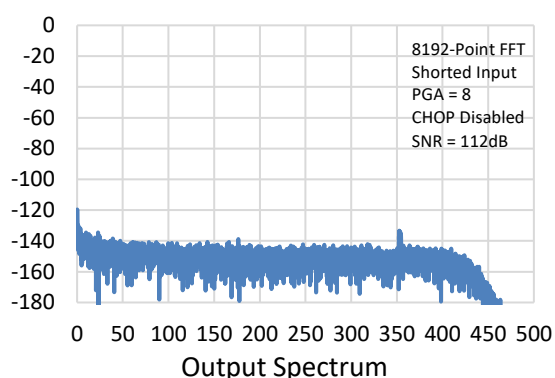
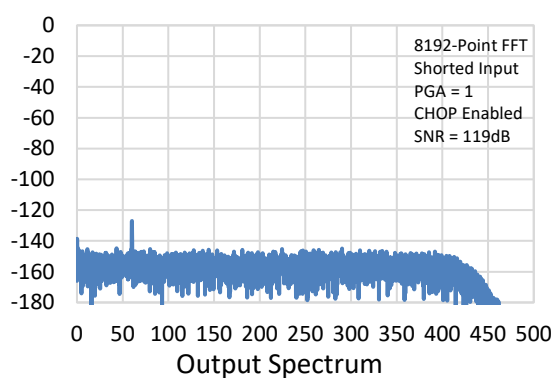
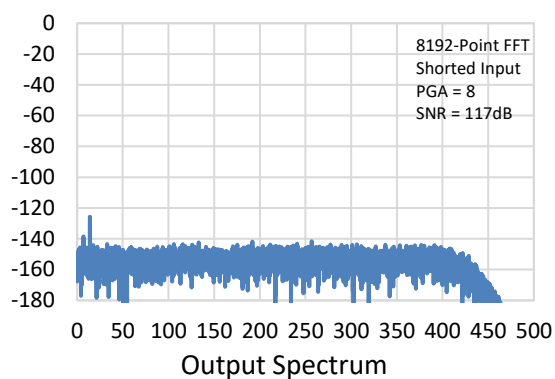
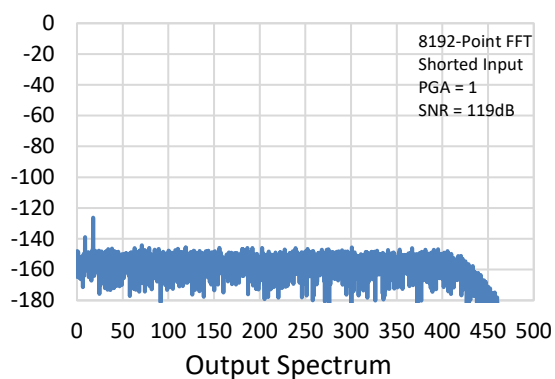
转换速率	PGA增益1	PGA增益2	PGA增益4	PGA增益8	PGA增益16	PGA增益32	PGA增益64
250	123	121	119	115	110	104	98
500	121	120	118	114	109	102	97
1000	119	118	117	112	109	102	98
2000	117	116	115	112	108	101	96
4000	114	114	113	110	107	100	95

斩波关闭, VREF=5V, 输入等效噪声 (μV RMS)

转换速率	PGA增益1	PGA增益2	PGA增益4	PGA增益8	PGA增益16	PGA增益32	PGA增益64
250	1.269	0.772	0.486	0.397	0.334	0.358	0.360
500	1.490	0.888	0.562	0.449	0.397	0.445	0.379
1000	1.924	1.056	0.641	0.551	0.410	0.424	0.366
2000	2.505	1.339	0.781	0.580	0.420	0.483	0.423
4000	3.393	1.782	0.988	0.725	0.509	0.523	0.492

注 1: 在典型温度 25°C 和 VREF=5V。ADC 噪声积分的带宽为 0.1Hz 至 0.413X 转换速率。

典型图表



功能描述

概述

MS5583N 是一款高分辨率、低功耗的模数转换器，可广泛应用于能量检测、地震波检测等环境。在 250SPS 到 4kSPS 转换速率下，可提供 31bit 转换精度。器件集成低噪声、高输入阻抗可变增益放大器、输入多路选择器 Σ - Δ 调制器、数字滤波器和 SPI 接口。

模拟输入通道

模数转换器的两路输入选择器输出到内部 PGA 的输入，通过寄存器 MUX[2:0]可以设计输入选择。由于内部 PGA 的输入范围受限，所以外部模拟输入的输入范围如下：

$$AVSS+0.7V < (AINN \text{ 或 } AINP) < AVDD-1.25V$$

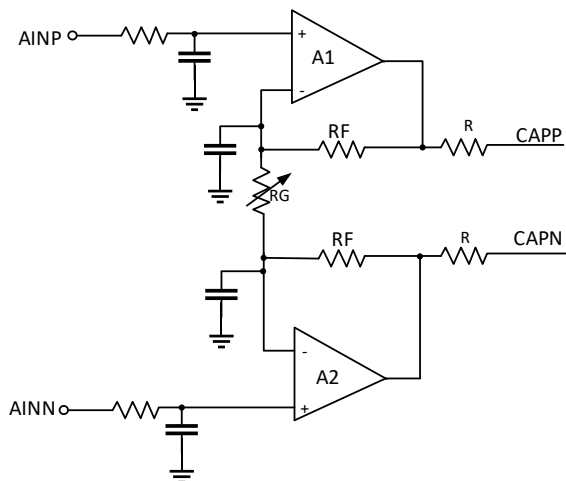
多路选择器配置如下：

MUX[2:0]	描述
000	AINP1 和 AINN1 连接到内部 PGA 差分输入
001	AINP2 和 AINN2 连接到内部 PGA 差分输入
010	内部 PGA 的差分输入端通过 400 Ω 短接
011	AINP1 和 AINP2 连接，AINN1 和 AINN2 连接
100	内部 PGA 的输入端短接，并连接到 AINN2 端口

模拟输入 PGA

MS5583N 内部集成一个低漂移、低噪声、高输入阻抗的可编程放大器。通过寄存器 PGA[2:0]，增益可设置成 1、2、4、8、16、32 或 64 倍。

可以通过设置打开或关闭斩波，当斩波开启时，可以去除放大器的失调、失调漂移和 1/f 噪声，PGA 输出到 CAPP 和 CAPN 端口，并连接到调制器的输入。必须连接一个 10nF 电容（或更大）到 CAPP 和 CAPN 端口，PGA 的内部示意图如下：



PGA 的输入阻抗和输入范围随着增益设置的变化而变化，具体如下：

PGA	差分输入范围 (@VREF=5V)	差分输入阻抗
1	$\pm 2.5V$	7G Ω
2	$\pm 1.25V$	7G Ω
4	$\pm 0.625V$	4G Ω
8	$\pm 0.312V$	3G Ω
16	$\pm 0.156V$	2G Ω
32	$\pm 0.078V$	1G Ω
64	$\pm 0.039V$	0.5G Ω

时钟源

MS5583N 采用外部时钟。

调制器

MS5583N 内部集成 4 阶 $\Sigma\Delta$ 调制器。当输入幅度过大，MFLAG 端口会输出高电平，表示调制器已处于输入过驱状态，最小 MFLAG 信号持续时间为 $f_{clk}/8$ 。

调制器通过开关电容采样 PGA 的输出电压，会导致一个平均输入电流和等效输入阻抗。在 CLK 时钟为 4.096MHz 时，调制器等效输入阻抗约为 55k Ω 。

偏移

MS5583N 可以通过内部寄存器 OFFSET1 和 OFFSET0，设置调制器的偏移电压为 100mV/PGA 或 75mV/PGA。

数字滤波器

可通过调整数字滤波器，权衡分辨率和转换速率。数字滤波器由三个级联滤波器组成：5 阶 Sinc 滤波器，FIR 低通滤波器以及一阶高通滤波器(HPF)。下表显示滤波器选项。

FILLTR[1:0]	数字滤波器选择
00	保留
01	Sinc
10	Sinc + FIR
11	Sinc + FIR + HPF

通过寄存器 DR[2:0]位，设置 Sinc 滤波器的抽取率，从而影响 ADC 数据转换速率，如下表显示。

DR[2:0]	抽取率(N)	转换速率(SPS)
000	128	8000
001	64	16000
010	32	32000
011	16	64000
100	8	128000

FIR 低通滤波器可选线性相位和最小相位两种相位响应模式。在线性相位模式下，滤波器对不同频率输入信号的延迟时间是恒定的，但是延迟和稳定时间较大。在最小相位模式下，延迟时间较小，但在不同频率下的延迟时间不恒定。下表列出 FIR 低通滤波器的抽取率与转换速率的关系。

DR[2:0]	抽取率(N)	FIR 转换速率(SPS)
000	4096	250
001	2048	500
010	1024	1000
011	512	2000
100	256	4000

高通滤波器转折频点由寄存器 HPF1 和 HPF0 以十六进制编程。

下表列出示例值。

f_{HP} (Hz)	转换速率(SPS)	HPF1 和 HPF0
0.5	250	0337h
1.0	500	0337h
1.0	1000	019Ah

主时钟输入 CLK

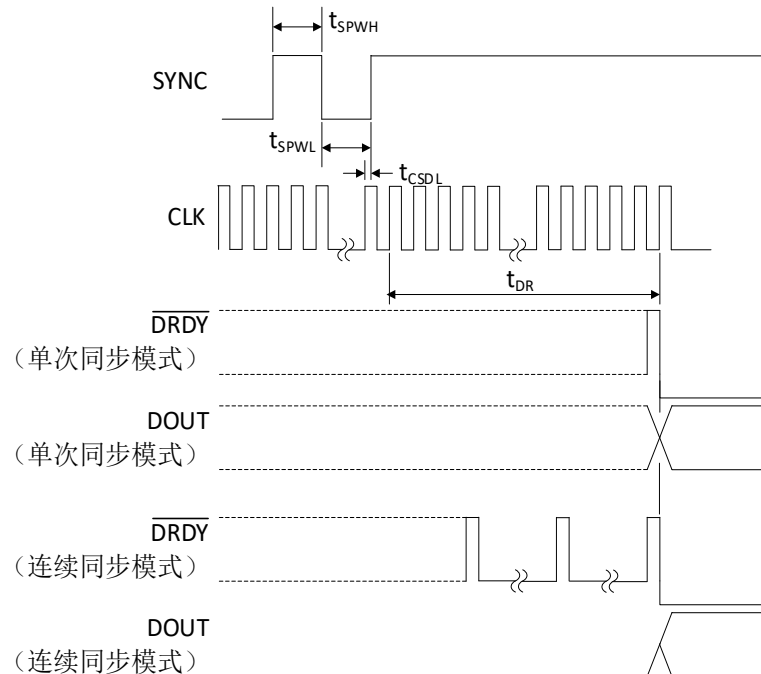
MS5583N 外部主时钟典型输入为 4.096MHz，ADC 的转换速率随着主时钟变化。

同步转换

MS5583N 可通过两种方式同步：SYNC 引脚和 SYNC 指令。芯片具有单次同步和连续同步两种模式。在单次同步模式中，单个同步信号同步一次。在连续同步模式中，既可以通过单个同步信号进行同步，也可以通过连续时钟输入 SYNC 引脚来同步转换，其频率为转换速率的整数倍。

单次同步模式

在单次同步模式中，当同步信号产生时，MS5583N 将停止并重启转换。新的转换数据就绪时间如下图表所示：



单次同步和连续同步模式时序图

参数	描述	最小值	最大值	单位
t_{CSDL}	CLK 上升沿到 SYNC 上升沿	30	-30	ns
t_{SYNC}	SYNC 时钟周期	1		n/f_{DATA}
$t_{SPWH,L}$	SYNC 脉冲宽度	2		$1/f_{CLK}$
t_{DR}	数据就绪时间 (Sinc 滤波器)	参见“Sinc 滤波器数据就绪时间表”		
	数据就绪时间 (FIR 滤波器)	$62.98046875/f_{DATA} + 468/f_{CLK}$		

Sinc 滤波器数据就绪时间表

$f_{DATA}(kSPS)$	f_{CLK} 周期数
128	440
64	616
32	968
16	1672
8	2824

连续同步模式

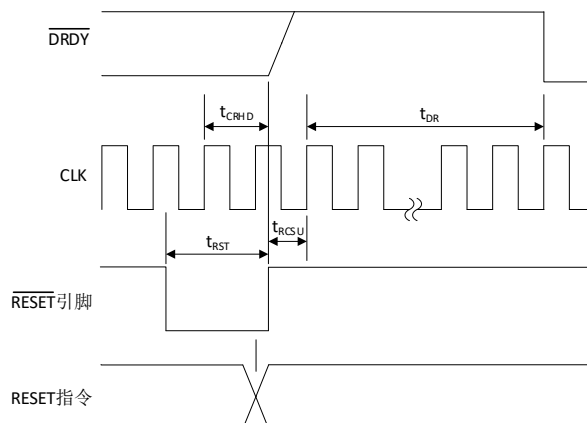
在连续同步模式中，可以使用单脉冲同步信号或连续时钟。当使用单脉冲同步信号时，芯片会像单次同步模式一样重新同步。在连续同步模式下， $\overline{\text{DRDY}}$ 不受影响正常工作， DOUT 一直保持低电平，直到 63 个 DRDY 周期后数据就绪。

输入 SYNC 引脚的连续时钟，其频率必须是转换速率的整数倍，否则芯片将重新同步。芯片将在 SYNC 第一个上升沿开始同步，在此期间，对 ADC 寄存器进行任何写操作会使芯片重新同步。重新同步将使 SYNC 引脚上的同步控制失效。可通过在一个转换周期内，先后发送 STANDBY 和 WAKEUP 指令来重新使能 SYNC 引脚的同步控制。

复位

MS5583N 可通过两种方式复位：将 $\overline{\text{RESET}}$ 引脚置低或发送 RESET 指令。将 $\overline{\text{RESET}}$ 引脚置低并保持至少 2 个系统时钟周期可强制复位，在 $\overline{\text{RESET}}$ 置高前，芯片保持在复位状态。发送 RESET 指令后，芯片将在第一个系统时钟的上升沿开始复位。

MS5583N 复位后，寄存器回到默认状态，并且芯片在系统时钟下个上升沿开始同步转换。具体时序参见下列图表。



参数	描述	最小值	单位
t_{CRHD}	CLK 到 $\overline{\text{RESET}}$ 保持时间	10	ns
t_{RCSU}	$\overline{\text{RESET}}$ 到 CLK 建立时间	10	ns
t_{RST}	$\overline{\text{RESET}}$ 低电平时间	2	$1/f_{\text{CLK}}$
t_{DR}	数据就绪时间	$62.98046875/f_{\text{DATA}} + 468/f_{\text{CLK}}$	s

掉电

MS5583N 可通过将 $\overline{\text{PWDN}}$ 引脚置低且关闭 CLK 输入，进入掉电模式。当 $\overline{\text{PWDN}}$ 引脚置低时，芯片回到默认状态，并禁用内部电路以最小化功耗。

在掉电模式中，芯片数字输入端口不允许悬空，同时输出仍然有效。

休眠

发送 STANDBY 指令且 $\overline{\text{CS}}$ 置低，发送 STANDBY 指令后，SPI 接口和寄存器仍保持活动状态。在 $\overline{\text{CS}}$ 置高后，芯片退出休眠模式。

上电

MS5583N 上电过程中，内部上电复位电路产生一个复位脉冲，可复位全部数字电路，复位时间为 2^{16} 个系统时钟周期。

数字接口

芯片提供兼容 SPI 的串行通信接口和数据就绪信号。

$\overline{\text{CS}}$

$\overline{\text{CS}}$ 引脚用于激活 SPI 通信。 $\overline{\text{CS}}$ 必须在数据传输之前和 SPI 通信期间置低。当 $\overline{\text{CS}}$ 为高时，DOUT 引脚进入高阻态，串行接口将被重置，并忽略此时的读取和写入。

将 $\overline{\text{CS}}$ 置高时，数据转换及数据就绪功能仍能继续工作。

SCLK

SCLK 用作串行通信的时钟。在 SCLK 上升沿从 DIN 输入数据，在 SCLK 下降沿从 DOUT 输出数据。

DIN

在 SCLK 上升沿从 DIN 输入数据，即使在数据被读出时，芯片也会识别写入的指令。因此，在读取数据过程中，DIN 需要保持低电平。

DOUT

在 SCLK 下降沿从 DOUT 输出数据。

SPI 复位

可通过将 $\overline{\text{CS}}$ 引脚拉高来复位串行接口。若 SPI 空闲时间超过 64 个转换周期，芯片将会自动重置接口。

$\overline{\text{DRDY}}$

$\overline{\text{DRDY}}$ 引脚变低电平表示一次新的转换完成。在连续读取数据模式下，在 $\overline{\text{DRDY}}$ 下一次变低的 4 个 CLK 周期前完成读取，否则新的转换数据将会覆盖之前的数据。 $\overline{\text{DRDY}}$ 引脚变低电平后，在 SCLK 的第一个下降沿被强制置高。即使 $\overline{\text{CS}}$ 为高时， $\overline{\text{DRDY}}$ 仍可指示新的转换已完成。

数据结构

芯片输出数据格式为 32 位二进制补码。下表为不同输入信号的理想输出码。注意在 Sinc 滤波器模式下，输出数据缩放为 1/2。

输入信号 V_{IN} (AINP - AINP)	理想输出码	
	FIR 滤波器	Sinc 滤波器
$> \frac{V_{REF}}{2 \times PGA}$	7FFFFFFFh	
$\frac{V_{REF}}{2 \times PGA}$	7FFFFFFEh	3FFFFFFFh
$\frac{V_{REF}}{2 \times PGA \times (2^{30} - 1)}$	0000002h	00000001h
0	0000000h	0000000h
$\frac{-V_{REF}}{2 \times PGA \times (2^{30} - 1)}$	FFFFFFFh	FFFFFFFh
$\frac{-V_{REF}}{2 \times PGA} \times \frac{2^{30}}{2^{30} - 1}$	80000001h	C000000h
$< \frac{-V_{REF}}{2 \times PGA} \times \frac{2^{30}}{2^{30} - 1}$	8000000h	

单次转换操作

MS5583N 可使用 STANDBY 指令的软件控制方式来执行单次转换操作，以便大大降低功耗。首先，发送 STANDBY 指令，使芯片进入休眠模式。然后，当需要转换时再发送 WAKEUP 指令，并等 \overline{DRDY} 变低，便可直接读取转换数据。最后，再发送 STANDBY 指令。每当需要转换时，即可重复上述操作。

失调和增益校准寄存器

在产生最终输出码之前，可以对转换数据进行失调和增益校准。计算公式如下：

$$\text{输出数据} = (\text{输入} - \text{OFC}[2:0]) \times \frac{\text{FSC}[2:0]}{400000h}$$

失调和增益校准寄存器的值既可以直接写入，也可以通过校准指令自动设置。不同的 PGA 设置对应特定的失调和增益校准。因此 PGA 改变时，这些准寄存器需要重新校准。

失调校准指令

失调校准可以通过发送 OFSCAL 命令来触发。在发送指令前，需要将零输入信号施加于芯片。该指令执行后，芯片会将 16 个转换数据平均后的值写入 OFC 寄存器。

增益校准指令

增益校准可以通过发送 GANCAL 命令来触发。在发送指令前，需要将满幅输入信号施加于芯片。该指令执行后，芯片会将 16 个转换数据平均后的值写入 FSC 寄存器。

用户校准

MS5583N 可外部计算校准值并写入校准寄存器中。步骤如下：

1. 设置 OFSCAL[2:0] = 0h, GANCAL[2:0] = 400000h。
2. 将零输入信号施加于芯片，待系统稳定后，将读取数据求平均，数据量越大越准确，然后将平均值写入 OFC 寄存器。
3. 将满幅输入信号施加于芯片，待系统稳定后，将读取数据求平均，数据量越大越准确，而后将平均值写入 FSC 寄存器。

增益校准值公式如下：

$$FSC[2:0] = 400000h \times \frac{\text{预期输出码}}{\text{实际输出码}}$$

指令

可通过 13 个指令来控制芯片。其中对于芯片寄存器数据的读写指令（READ_REG 和 WRITE_REG），需要额外的字节作为指令的一部分。发送指令期间， \overline{CS} 必须保持低电平，两个指令字节之间必须间隔 24 个系统时钟周期。

1. n = 读写寄存器数 - 1；
2. r = 寄存器地址；
3. x = 任意值；

指令	描述	第一指令字节	第二指令字节
WAKEUP	退出掉电模式	0000 000x(00h,01h)	
STANDBY	进入掉电模式	0000 001x(02h,03h)	
SYNC	同步 ADC 转换	0000 010x(04h,05h)	0000 010x(04,05h)
\overline{RESET}	复位	0000 011x(06h,07h)	
READ_DATA	连续读取数据	0001 0000(10h)	
STOP_DATA	停止连续读取数据	0001 0001(11h)	
READ_DATA	单次读取数据	0001 0010(12h)	
READ_REG	读取寄存器 rrrr	0010 rrrr(2rh)	0000 nnnn
WRITE_REG	写入寄存器 rrrr	0100 rrrr(4rh)	0000 nnnn
OFFSETCAL	失调校准	0110 0000(60h)	
GAINCAL	增益校准	0110 0001(61h)	

WAKEUP(0000 000x)

在执行 STANDBY 指令后，可通过 WAKEUP 指令使芯片上电。正常工作时该指令无效，因此在读取数据时，DIN 可以保持低电平。

STANDBY(0000 001x)

发送 STANDBY 指令后，芯片进入掉电模式。 \overline{CS} 置高或发送 WAKEUP 指令后，芯片退出掉电模式。

SYNC(0000 010x)

SYNC 指令会复位 ADC 并重启转换。为了同步多个 ADC，该指令必须同时发送至所有芯片。在此命令期间，SYNC 引脚必须保持高电平。

RESET(0000 011x)

复位指令可复位所有寄存器和数字滤波器。该指令等效于 \overline{RESET} 引脚。时序可参考“复位”章节。

READ_DATAC(0001 0000)

READ_DATAC 指令可使能连续读取数据模式（默认模式）。在该模式下，可直接从芯片读出转换数据。当 \overline{DRDY} 变低时，代表新数据已就绪，随后 MSB 出现在 DOUT 上，可以在 SCLK 上升沿读取数据。 \overline{DRDY} 将在 SCLK 第一个下降沿回到高电平。32 位数据读取完成后，DOUT 将变低。

STOP_DATAC(0001 0001)

发送 STOP_DATAC 指令可退出连续读取数据模式，并同时进入单次读取数据模式。在该模式下，需要通过发送 RDATA 指令来读取转换数据。发送该指令后，需等 \overline{DRDY} 变为低电平，才能在 SCLK 上升沿读取有效数据。

READ_DATA(0001 0010)

READ_DATA 指令可读取最近一次的转换结果至输出寄存器。可将 \overline{CS} 置高来退出单次读取数据模式。

READ_REG(0010 rrrr, 0000 nnnn)

通过 READ_REG 指令，可读取寄存器的数据。读取的寄存器的数量等于指令第二字节数+1。READ_REG 指令的两字节结构如下：

1. 第一指令字节：2rh，其中 r 是第一个读取的寄存器地址；
2. 第二指令字节：0nh，其中 n = 待读取寄存器数-1。

WRITE_REG(0100 rrrr, 0000 nnnn)

通过 WRITE_REG 指令，可对寄存器写入数据。写入的寄存器的数量等于指令第二字节数+1。WRITE_REG 指令两字节结构如下：

1. 第一指令字节：2rh，其中 r 是第一个写入的寄存器地址；
2. 第二指令字节：0nh，其中 n = 待写入寄存器数-1。

OFFSETCAL(0110 0000)

OFFSETCAL 指令启动失调校准。当失调校准时，模拟输入必须接至零电平。当该指令完成后，OFC 寄存器会自动更新。

GAINCAL(0110 0001)

GAINCAL 指令启动增益校准。当增益校准时，模拟输入必须设置为满幅。当该指令完成后，FSC 寄存器会自动更新。

寄存器地址图

地址	名称	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00h	ID_CFG	ID[3:0]				0	0	OFFSET[1:0]	
01h	CONFIG0	SYNC	1	DR[2:0]			PHASE	FILTR[1:0]	
02h	CONFIG1	0	MUX[2:0]			CHOP	PGA[2:0]		
03h	HPF0	HPF[7:0]							
04h	HPF1	HPF[15:8]							
05h	OFC0	OFC[7:0]							
06h	OFC1	OFC[15:8]							
07h	OFC2	OFC[23:16]							
08h	FSC0	FSC[7:0]							
09h	FSC1	FSC[15:8]							
0Ah	FSC2	FSC[23:16]							

ID_CFG: ID 配置寄存器

地址=00h; 复位值=A0h

位	名称	类型	复位值	描述
7:4	ID[3:0]	R	1010	ID 位。
3:2	保留	R	00	保留。
1:0	OFFSET[1:0]	R/W	00	00: OFFSET 关闭（默认）； 01: 保留； 10: OFFSET = 100/PGA mV； 11: OFFSET = 75/PGA mV。

CONFIG0: 配置寄存器 0

地址=01h; 复位值=52h

位	名称	类型	复位值	描述
7	SYNC	R/W	0	同步模式设置： 0: 单次同步模式（默认）； 1: 连续同步模式。
6	保留	R	1	保留。
5:3	DR[2:0]	R/W	010	数据输出速率设置： 000: 250 SPS； 001: 500 SPS；

				010: 1000 SPS (默认); 011: 2000 SPS; 100: 4000 SPS。
2	PHASE	R/W	0	FIR 相位响应: 0: 线性相位 (默认); 1: 最小相位。
1:0	FILTR	R/W	10	数字滤波器配置: 00: 保留; 01: 仅使用 Sinc 滤波器; 10: Sinc + LPF 滤波器 (默认); 11: Sinc + LPF + HPF 滤波器。

CONFIG10: 配置寄存器 1

地址=02h; 复位值=08h

位	名称	类型	复位值	描述
7	保留	R	0	保留。
6:4	MUX[2:0]	R/W	000	通道选择: 000: 选择 AINP1 和 AINN1 (默认); 001: 选择 AINP2 和 AINN2; 010: 内部 400Ω 电阻短接; 011: AINP1 和 AINP2 连接, AINN1 和 AINN2 连接; 100: 内部短接至 AINN2。
3	CHOP	R/W	1	PGA 斩波控制: 0: PGA 斩波禁用; 1: PGA 斩波使能;
2:0	PGA[2:0]	R/W	000	PGA 增益选择: 000: G = 1 (默认); 001: G = 2; 010: G = 4; 011: G = 8; 100: G = 16; 101: G = 32; 110: G = 64。

HPF: 高通滤波器转折频率设置

HPF 地址=03h, 04h; 复位值=0332h

位	名称	类型	复位值	描述
15:0	HPF[15:0]	R/W	0332h	默认高通滤波器转折频点。

OFC: 失调校准寄存器

地址=05h, 06h, 07h; 复位值=000000h

位	名称	类型	复位值	描述
23:0	OFC[23:0]	R/W	000000h	失调校准系数寄存器。在增益校准前, ADC 将转换结果减去该寄存器值。

失调校准值为补码格式, 最大正值为 7FFFFFFh, 最大负值为 800000h。请注意, 虽然失调校准寄存器校准范围为 -FS 到 +FS (如下表所示), 但仍应避免模拟输入超量程。

失调校准寄存器值	V _{IN} = 0 时的最终输出码
7FFFFFFh	8000000h
000001h	FFFFFF00h
000000h	0000000h
FFFFFFh	00000100h
800000h	7FFFFFF0h

FSC: 增益校准寄存器

地址=08h, 09h, 0Ah; 复位值=400000h

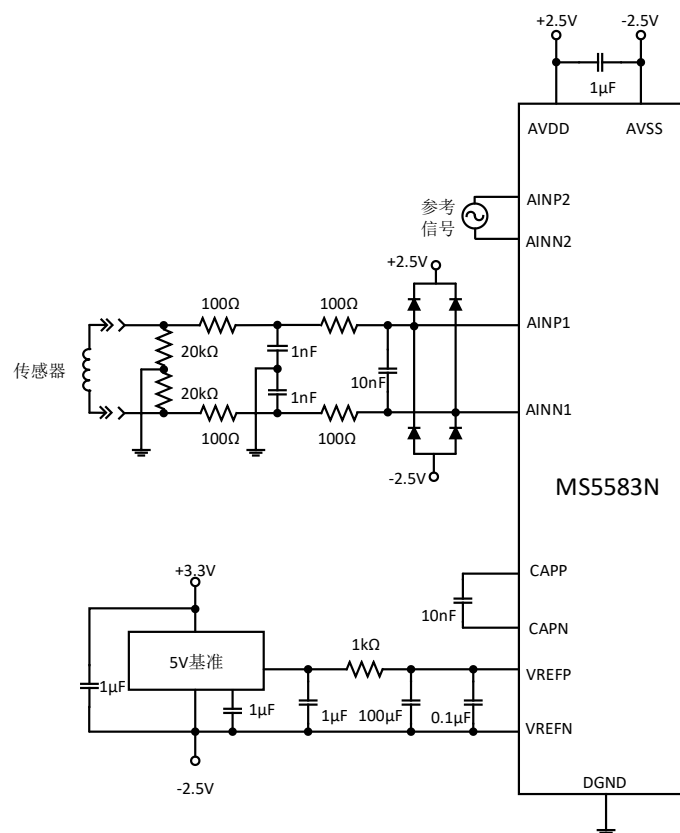
位	名称	类型	复位值	描述
23:0	FSC[23:0]	R/W	400000h	增益校准系数寄存器。ADC 将 FSC 寄存器值除以 400000h 作为比例系数, 在失调校准后, ADC 将转换结果乘以比例系数。

增益校准值为无符号二进制格式, 当值为 400000h 时系数为 1.0。请注意, 虽然增益校准寄存器可以校准大于 1 的增益误差 (如下表所示), 但仍应避免模拟输入超量程。

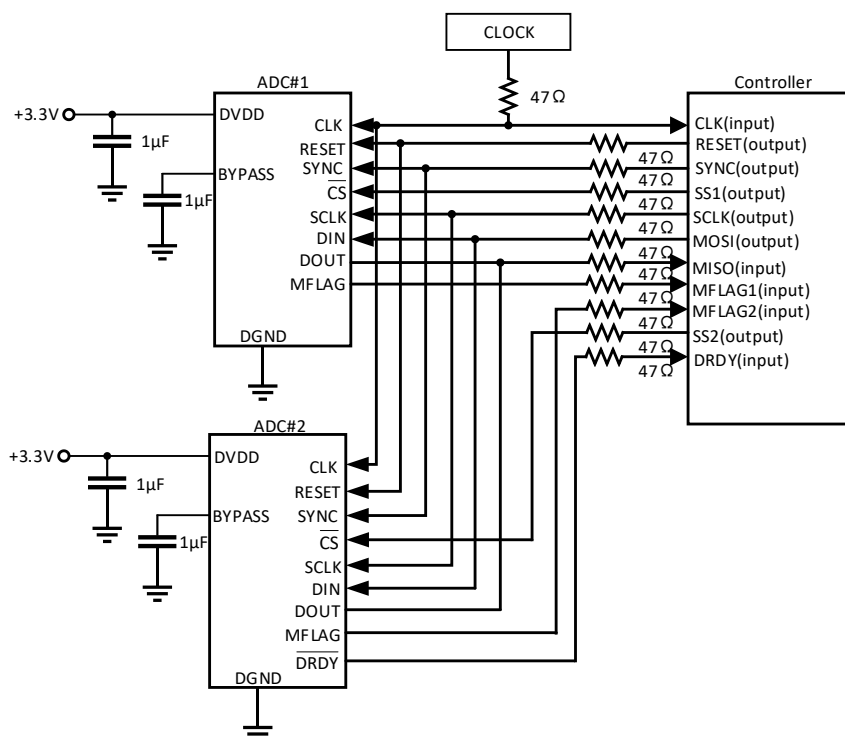
增益校准寄存器值	增益系数
800000h	2.0
400000h	1.0
200000h	0.5
000000h	0

典型应用图

下图是 MS5583N 用作地震检波器应用的示意图。

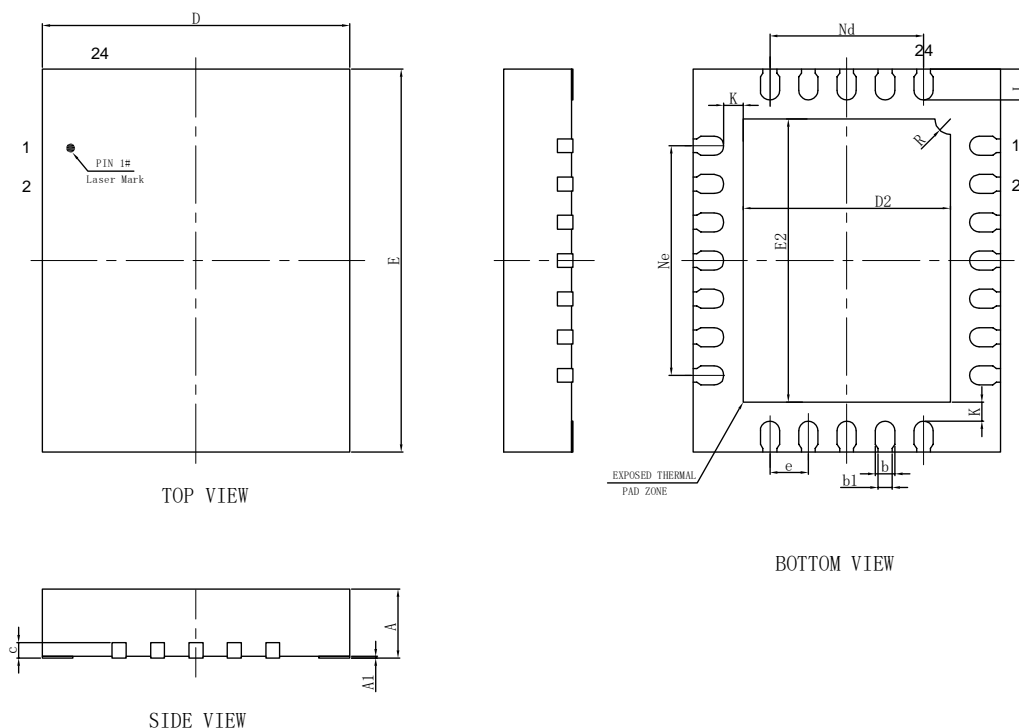


下图数字接口典型应用（多芯片同步采样）



封装外形图

QFN24



符号	尺寸（毫米）		
	最小	典型	最大
A	0.85	0.90	0.95
A1	0	0.02	0.05
b	0.20	0.25	0.30
b1	0.18REF		
c	0.203REF		
D	3.90	4.00	4.10
D2	2.60	2.70	2.80
e	0.50BSC		
Nd	2.00BSC		
Ne	3.00BSC		
E	4.90	5.00	5.10
E2	3.60	3.70	3.80
L	0.35	0.40	0.45
R	0.15	0.20	0.25
K	0.25REF		

印章与包装规范

1. 印章内容介绍



产品型号：MS5583N

生产批号：XXXXXX

2. 印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

3. 包装规范说明

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS5583N	QFN24	4000	1	4000	8	32000

声明

- 瑞盟保留说明书的更改权，恕不另行通知！客户在下单前应获取最新版本资料，并验证相关信息是否完整。
- 在使用瑞盟产品进行系统设计和整机制造时，买方有责任遵守安全标准并采取相应的安全措施，以避免潜在失败风险可能造成的人身伤害或财产损失！
- 产品提升永无止境，本公司将竭诚为客户提供更优秀的产品！



MOS电路操作注意事项

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-571-89966911



杭州市滨江区伟业路 1 号
高新软件园 9 号楼 701 室



[http:// www.relmon.com](http://www.relmon.com)